

Docket No.: 67161-121

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Koji NII	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 21, 2003	:	Examiner: Unknown
	:	
For:		SEMICONDUCTOR MEMORY DEVICE CAPABLE OF CONTROLLING POTENTIAL LEVEL OF POWER SUPPLY LINE AND/OR GROUND LINE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

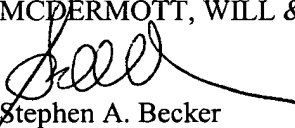
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-161115, filed June 5, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: October 21, 2003

67161-121
NI I
October 21, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 5 日
Date of Application:

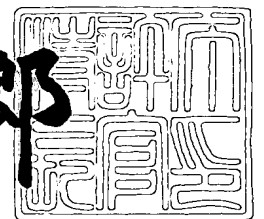
出 願 番 号 特 願 2 0 0 3 - 1 6 1 1 1 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 6 1 1 1 5]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 7 月 8 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出 証 番 号 出 証 特 2 0 0 3 - 3 0 5 4 1 1 9

【書類名】 特許願

【整理番号】 543779JP01

【提出日】 平成15年 6月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/419

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 新居 浩二

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの各々に対して個別に配置される複数の書込ワード線とを備え、
前記複数のメモリセルの各々は、
データを保持するデータ記憶部と、
前記データ記憶部に対してデータを書き込むデータ書込み部と、
前記データ記憶部からデータを読み出すための読出ビット線を備えたデータ読出し部とを含み、
前記データ記憶部は、前記複数のメモリセルのそれぞれの列に対応して配置される電源線が共通に接続された第 1 および第 2 のインバータ回路を有し、
列ごとに設定されたレベル制御信号に応じて、前記電源線の電位レベルを電源電位または電源電位より低い所定の電位レベルに制御する電源線レベル制御回路をさらに備える、半導体記憶装置。

【請求項 2】 前記電源線レベル制御回路は、非読出し動作時において前記電源線の電位レベルを列ごとに前記所定の電位レベルに制御し、読出し動作時において前記電源線の電位レベルを選択列は電源電位に、非選択列は前記所定の電位レベルにそれぞれ制御する、請求項 1 に記載の半導体記憶装置。

【請求項 3】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの各々に対して個別に配置される複数の書込ワード線とを備え、
前記複数のメモリセルの各々は、
データを保持するデータ記憶部と、
前記データ記憶部に対してデータを書き込むデータ書込み部と、
前記データ記憶部からデータを読み出すための読出ビット線を備えたデータ読出し部とを含み、
前記データ記憶部は、

前記複数のメモリセルのそれぞれの列に対応して配置される第 1 の電源線が接続された第 1 のインバータ回路と、

前記複数のメモリセルのそれぞれの列に対応して配置される第 2 の電源線が接続された第 2 のインバータ回路とを有し、

列ごとに設定されたレベル制御信号に応じて、前記第 2 の電源線の電位レベルを列ごとに、電源電位または電源電位より低い所定の電位レベルに制御する電源線レベル制御回路をさらに備える、半導体記憶装置。

【請求項 4】 前記電源線レベル制御回路は、非読出し動作時において前記第 2 の電源線の電位レベルを列ごとに前記所定の電位レベルに制御し、読出し動作時において前記第 2 の電源線の電位レベルを選択列は電源電位に、非選択列は前記所定の電位レベルにそれぞれ制御する、請求項 3 に記載の半導体記憶装置。

【請求項 5】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの各々に対して個別に配置される複数の書込ワード線とを備え、

前記複数のメモリセルの各々は、

データを保持するデータ記憶部と、

前記データ記憶部に対してデータを書き込むデータ書込み部と、

前記データ記憶部からデータを読み出すための読出ビット線を備えたデータ読出し部とを含み、

前記データ記憶部は、

列ごとに設定されたレベル制御信号に応じて、電源電位または電源電位より低い所定の電位レベルで動作する第 1 のインバータ回路と、

前記所定の電位レベルで動作する第 2 のインバータ回路とを有する、半導体記憶装置。

【請求項 6】 前記第 1 のインバータ回路は、
第 1 のノードと第 1 の記憶ノードとの間に接続された第 1 のトランジスタと、
第 1 の記憶ノードと接地ノードとの間に接続された第 2 のトランジスタと、
電源ノードと第 1 のノードとの間に接続され、前記レベル制御信号を制御端子に受ける第 3 のトランジスタとを含み、

前記第 2 のインバータ回路は、
第 1 のノードと第 2 の記憶ノードとの間に接続された第 4 のトランジスタと、
第 2 の記憶ノードと接地ノードとの間に接続された第 5 のトランジスタと、
電源ノードと第 1 のノードとの間にダイオード接続された第 6 のトランジスタ
とを含む、請求項 5 に記載の半導体記憶装置。

【請求項 7】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの各々に対して個別に配置される複数の書込ワード線と
を備え、

前記複数のメモリセルの各々は、
データを保持するデータ記憶部と、
前記データ記憶部に対してデータを書き込むデータ書込み部と、
前記データ記憶部からデータを読み出すための読出ビット線を備えたデータ読
出し部とを含み、

前記データ記憶部は、
列ごとに設定されたレベル制御信号と行ごとに設定された第 2 のレベル制御信
号とに応じて、電源電位または電源電位より低い所定の電位レベルで動作する第
1 のインバータ回路と、

前記所定の電位レベルで動作する第 2 のインバータ回路とを有する、半導体記
憶装置。

【請求項 8】 前記第 1 のインバータ回路は、
第 1 のノードと第 1 の記憶ノードとの間に接続された第 1 のトランジスタと、
第 1 の記憶ノードと接地ノードとの間に接続された第 2 のトランジスタと、
第 2 のノードと第 1 のノードとの間に接続され、前記レベル制御信号を制御端
子に受ける第 3 のトランジスタと、

電源ノードと第 2 のノードとの間に接続され、前記第 2 のレベル制御信号を制
御端子に受ける第 7 のトランジスタとを含み、

前記第 2 のインバータ回路は、
第 1 のノードと第 2 の記憶ノードとの間に接続された第 4 のトランジスタと、
第 2 の記憶ノードと接地ノードとの間に接続された第 5 のトランジスタと、

電源ノードと第 1 のノードとの間にダイオード接続された第 6 のトランジスタを含む、請求項 7 に記載の半導体記憶装置。

【請求項 9】 前記データ読出し部は、ゲートが前記データ記憶部の読出し端子に接続され、ソースが電位レベル制御可能な接地線に接続されたトランジスタを有し、

前記レベル制御信号に応じて、前記接地線の電位レベルを列ごとに、接地電位、電源電位またはフローティングとなるように制御する第 2 の接地線レベル制御回路をさらに備える、請求項 1 ～ 8 のいずれかに記載の半導体記憶装置。

【請求項 1 0】 前記第 2 の接地線レベル制御回路は、非読出し動作時において前記接地線の電位レベルを列ごとに前記所定の電位レベルに制御し、読出し動作時において前記接地線の電位レベルを選択列は接地電位に、非選択列は電源電位またはフローティングとなるようにそれぞれ制御する、請求項 9 に記載の半導体記憶装置。

【請求項 1 1】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの各々に対して個別に配置される複数の書込ワード線とを備え、
前記複数のメモリセルの各々は、
データを保持するデータ記憶部と、
前記データ記憶部に対してデータを書き込むデータ書込み部と、
前記データ記憶部からデータを読み出すための読出ビット線を備えたデータ読出し部とを含み、

前記データ記憶部は、前記複数のメモリセルのそれぞれの列に対応して配置される接地線が共通に接続された第 1 および第 2 のインバータ回路を有し、

列ごとに設定されたレベル制御信号に応じて、前記接地線の電位レベルを接地電位または接地電位より高い所定の電位レベルに制御する接地線レベル制御回路をさらに備える、半導体記憶装置。

【請求項 1 2】 前記接地線レベル制御回路は、非読出し動作時において前記接地線の電位レベルを列ごとに前記所定の電位レベルに制御し、読出し動作時において前記接地線の電位レベルを選択列は接地電位に、非選択列は前記所定の

電位レベルにそれぞれ制御する、請求項 11 に記載の半導体記憶装置。

【請求項 13】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの各行に対して配置される複数のワード線と、
前記複数のメモリセルの各列に対して配置される複数のビット線対とを備え、
前記複数のメモリセルの各々は、
データを保持するデータ記憶部と、
前記データ記憶部に対してデータの書込み／読出しを行なうデータ書込／読出部とを含み、

前記データ記憶部は、前記複数のメモリセルのそれぞれの列に対応して配置される電源線が共通に接続された第 1 および第 2 のインバータ回路を有し、

列ごとに設定されたレベル制御信号に応じて、前記電源線の電位レベルを列ごとに、電源電位または電源電位より低い所定の電位レベルに制御する電源線レベル制御回路をさらに備える、半導体記憶装置。

【請求項 14】 前記電源線レベル制御回路は、非読出し動作時において前記電源線の電位レベルを列ごとに前記所定の電位レベルに制御し、読出し動作時において前記電源線の電位レベルを選択列は電源電位に、非選択列は前記所定の電位レベルにそれぞれ制御する、請求項 13 に記載の半導体記憶装置。

【請求項 15】 行列状に配置される複数のメモリセルと、
前記複数のメモリセルの各行に対して配置される複数のワード線と、
前記複数のメモリセルの各列に対して配置される複数のビット線対とを備え、
前記複数のメモリセルの各々は、
データを保持するデータ記憶部と、
前記データ記憶部に対してデータの書込み／読出しを行なうデータ書込／読出部とを含み、

前記データ記憶部は、前記複数のメモリセルのそれぞれの列に対応して配置される接地線が共通に接続された第 1 および第 2 のインバータ回路を有し、

列ごとに設定されたレベル制御信号に応じて、前記接地線の電位レベルを列ごとに、接地電位または接地電位より高い所定の電位レベルに制御する接地線レベル制御回路をさらに備える、半導体記憶装置。

【請求項 1 6】 前記接地線レベル制御回路は、非読出し動作時において前記接地線の電位レベルを列ごとに前記所定の電位レベルに制御し、読出し動作時において前記接地線の電位レベルを選択列は接地電位に、非選択列は前記所定の電位レベルにそれぞれ制御する、請求項 1 5 に記載の半導体記憶装置。

【請求項 1 7】 前記電源線レベル制御回路は、保持テスト制御信号、冗長置換制御信号、複数の保持電位設定信号および前記レベル制御信号の少なくとも 1 つに応じて、前記電源線の電位レベルを列ごとに、電源電位、電源電位より低い複数の所定の電位レベル、またはフローティングとなるように切り替える、列ごとに設けられた複数の電源線レベル切替回路を含む、請求項 1 ～ 1 0、1 3、1 4 のいずれかに記載の半導体記憶装置。

【請求項 1 8】 前記電源線レベル切替回路は、アクセス時および保持テスト時において前記電源線の電位レベルを電源電位に切り替え、非アクセス時において前記電源線の電位レベルを電源電位または前記複数の所定の電位レベルに切り替え、冗長置換時において前記電源線の電位レベルをフローティングとなるように切り替える、請求項 1 7 に記載の半導体記憶装置。

【請求項 1 9】 前記接地線レベル制御回路および前記第 2 の接地線レベル制御回路はそれぞれ、保持テスト制御信号、冗長置換制御信号、複数の保持電位設定信号および前記レベル制御信号の少なくとも 1 つに応じて、前記接地線の電位レベルを列ごとに、接地電位、接地電位より高い複数の所定の電位レベル、またはフローティングとなるように切り替える、列ごとに設けられた複数の接地線レベル切替回路を含む、請求項 9 ～ 1 2、1 5、1 6 のいずれかに記載の半導体記憶装置。

【請求項 2 0】 前記接地線レベル切替回路は、アクセス時および保持テスト時において前記接地線の電位レベルを接地電位に切り替え、非アクセス時において前記接地線の電位レベルを接地電位または前記複数の所定の電位レベルに切り替え、冗長置換時において前記接地線の電位レベルをフローティングとなるように切り替える、請求項 1 9 に記載の半導体記憶装置。

【請求項 2 1】 電源電位の高低に応じて、前記複数の保持電位設定信号の論理レベルをクロック信号に同期して制御する設定信号制御回路をさらに備える

、請求項 1 7 ~ 2 0 のいずれかに記載の半導体記憶装置。

【請求項 2 2】 前記設定信号制御回路は、

前記クロック信号に同期して、電源電位より所定値だけ電位レベルの低い第 1 の電源電位シフト信号を出力する第 1 の電位レベル調整回路と、

前記クロック信号に同期して、前記第 1 の電位レベルより所定値だけ電位レベルの低い第 2 の電源電位シフト信号を出力する第 2 の電位レベル調整回路と、

前記第 1 の電源電位シフト信号を受けて、入力しきい値電圧との比較結果に応じた第 1 の選択制御信号を出力する第 1 のラッチ回路と、

前記第 2 の電源電位シフト信号を受けて、前記入力しきい値電圧との比較結果に応じた第 2 の選択制御信号を出力する第 2 のラッチ回路とを含み、

前記第 1 および第 2 の選択制御信号の組み合わせに応じて、前記複数の保持電位設定信号の論理レベルを制御する、請求項 2 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、リフレッシュ動作を実行することなく記憶データを保持することが可能な半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

半導体記憶装置、特に S R A M (Static Random Access Memory) は、たとえば、メモリセルを構成するトランジスタのソース電位を制御してソースドレイン間に流れるリーク電流を抑制することにより、低消費電力化を図ることができる。

【0 0 0 3】

特許文献 1 に記載された従来の半導体記憶装置は、動作時にソース電位を基板電位と等しく設定することで読出し速度を維持し、待機時にソースの絶対電位を基板電位よりも高く設定することでリーク電流を低減している。しかし、特許文献 1 の半導体装置は、待機時のリーク電力を低減する効果こそあるものの、動作時におけるリーク電流は減らないため、動作時の低消費電力化は期待できない。

【0004】

半導体記憶装置の動作時における消費電力は、一般に、ビット線などの充放電電流による消費電力とリーク電流による消費電力との和となる。これまでは、ビット線などの充放電電流による消費電力が大半であったが、半導体記憶装置の高速化に伴ってしきい値を低く設定するようになると、動作時のリーク電流による消費電力も無視できなくなってくる。

【0005】

特許文献2に記載された従来の半導体記憶装置は、読出し動作において、選択されたメモリセル行のソース電位を基板電位と等しくし非選択のメモリセル行のソースの絶対電位を基板電位よりも高く設定することで、リーク電流を低減している。特許文献2の半導体集積回路は、動作時においても、選択されたメモリセル以外のメモリセルのリーク電流を抑制することができる。たとえば、512行512列のメモリセルアレイを構成した半導体記憶装置の場合、選択されるメモリセルは1行分の512セルなので、全体のリーク電流の増分は $1/512$ に抑えられる。

【0006】**【特許文献1】**

特開平9-73784号公報

【0007】**【特許文献2】**

特開2002-288984号公報

【0008】**【発明が解決しようとする課題】**

上記のように、特許文献1、2に記載された従来の半導体記憶装置は、ソース電位を制御してソースドレイン間に流れるリーク電流を抑制することにより、低消費電力化を図っている。しかしながら、これらの半導体記憶装置は、動作時における消費電力の一要素である、ビット線などの充放電電流による消費電力を低減させることはできない。

【0009】

また、特許文献 1，2 の半導体記憶装置は、6 個のトランジスタにより構成されたシングルポートメモリセルの例しか開示しておらず、読出し専用ビット線を備えたマルチポートメモリセルの例における低消費電力化については開示していない。

【0010】

さらに、特許文献 1，2 の半導体記憶装置は、オフされたトランジスタにおけるソースドレイン間のリーク電流についてしか考慮されておらず、ゲート絶縁膜の薄膜化に伴って顕在化してきているゲートリーク電流の影響について対策が取られていないという問題があった。

【0011】

それゆえに、この発明の目的は、ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による消費電力を低減させることも可能な半導体記憶装置を提供することである。

【0012】

【課題を解決するための手段】

この発明による半導体記憶装置は、行列状に配置される複数のメモリセルと、複数のメモリセルの各々に対して個別に配置される複数の書込ワード線とを備える。複数のメモリセルの各々は、データを保持するデータ記憶部と、データ記憶部に対してデータを書き込むデータ書込み部と、データ記憶部からデータを読み出すための読出ビット線を備えたデータ読出し部とを含む。データ記憶部は、複数のメモリセルのそれぞれの列に対応して配置される電源線が共通に接続された第 1 および第 2 のインバータ回路を有する。この発明による半導体記憶装置は、列ごとに設定されたレベル制御信号に応じて、電源線の電位レベルを電源電位または電源電位より低い所定の電位レベルに制御する電源線レベル制御回路をさらに備える。

【0013】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

【0014】

図1は、この発明の実施の形態による半導体記憶装置100の概略的な構成を示した概略ブロック図である。

【0015】

半導体記憶装置100は、リフレッシュ動作を実行することなく記憶データを保持することが可能なスタティック型のメモリデバイス（たとえばSRAM）である。

【0016】

図1を参照して、半導体記憶装置100は、行アドレス信号RA0～RAi（i：自然数）を受ける行アドレス端子102と、列アドレス信号CA0～CAj（j：自然数）を受ける列アドレス端子103と、読出／書込制御信号／W，チップセレクト信号／CS，アウトプットイネーブル信号／OE等の制御信号を受ける制御信号端子104と、入力データDを受けるデータ入力端子105と、出力データQを出力するデータ出力端子106とを備える。なお、信号の前の「／」は、その信号の反転を表わす。

【0017】

半導体記憶装置100は、さらに、行列状に配置された複数のメモリセルを有するメモリセルアレイ110と、行アドレス信号RA0～RAiをデコードしてメモリセル行の選択を実行する行デコーダ120と、列アドレス信号CA0～CAjをデコードしてメモリセル列の選択を実行する列デコーダ130と、制御信号に応答して半導体記憶装置100の内部動作を制御するコントロール回路140と、データI／O線160とデータ入力端子105およびデータ出力端子106との間でデータの授受を実行するデータ入出力回路150とを備える。

【0018】

列デコーダ130は、メモリセル列にそれぞれ対応して設けられるビット線群BLsのうちの1本とデータI／O線160とを結合する列選択回路等を含む。データ入出力回路150は、入力データDをデータI／O線160を介してメモリセルアレイ110に書込むためのライトドライバや、データI／O線160に伝達される読出データを増幅するためのアンプ回路等を含む。以下、実施の形態

1～7では、メモリセルアレイ110およびその周辺回路、またはメモリセルアレイ110について、実施の形態ごとに詳細に説明する。

【0019】

〔実施の形態1〕

図2は、この発明の実施の形態1によるメモリセルアレイ110Aおよびその周辺の回路構成を示した回路図である。図2に示した実施の形態1のメモリセルアレイ110Aは、一例として2行2列のメモリセルアレイ構成を有する。

【0020】

図2を参照して、実施の形態1のメモリセルアレイ110Aは、行列状に配置されたメモリセル1A-0, 1A-1, 1A-2, 1A-3と、行方向に配置された書込ワード線WWLA[0], WWLA[1], WWLB[0], WWLB[1]および読出ワード線RWL[0], RWL[1]と、列方向に配置された書込ビット線WBL[0], WBL[1]および読出ビット線RBL[0], RBL[1]とを含む。

【0021】

書込ワード線WWLA[0], WWLB[0]はメモリセル1A-0, 1A-1にそれぞれ接続され、書込ワード線WWLA[1], WWLB[1]はメモリセル1A-2, 1A-3にそれぞれ接続される。このように、実施の形態1のメモリセルアレイ110Aでは、同一行のメモリセルであっても各メモリセルに対して個別の書込ワード線が割り当てられる。これにより、複数列からなるメモリセルのある特定の列のメモリセルにのみデータを書込むことが可能となる。

【0022】

読出ワード線RWL[0]はメモリセル1A-0, 1A-1に共通に接続され、読出ワード線RWL[1]はメモリセル1A-2, 1A-3に共通に接続される。また、書込ビット線WBL[0]はメモリセル1A-0, 1A-2に共通に接続され、書込ビット線WBL[1]はメモリセル1A-1, 1A-3に共通に接続される。また、読出ビット線RBL[0]はメモリセル1A-0, 1A-2に共通に接続され、読出ビット線RBL[1]は、メモリセル1A-1, 1A-3に共通に接続される。

【0023】

実施の形態1のメモリセルアレイ110Aは、電源線VM[0]、VM[1]を介して電源線レベル制御回路20Aに接続される。電源線VM[0]は、メモリセル1A-0、1A-2に共通に接続される。電源線VM[1]は、メモリセル1A-1、1A-3に共通に接続される。

【0024】

電源線レベル制御回路20Aは、電源線VM[0]に接続されたPチャネルMOSトランジスタ21A、22Aと、電源線VM[1]に接続されたPチャネルMOSトランジスタ23A、24Aとを含む。PチャネルMOSトランジスタ21Aは、電源線VM[0]にダイオード接続される。PチャネルMOSトランジスタ23Aは、電源線VM[1]にダイオード接続される。

【0025】

PチャネルMOSトランジスタ21A～24Aは、いずれもソースに電源電位VDDが与えられる。PチャネルMOSトランジスタ22A、24Aの各ゲートは、レベル制御信号/CS[0]、/CS[1]をそれぞれ受ける。

【0026】

電源線レベル制御回路20Aは、レベル制御信号/CS[0]がLレベルのとき電源線VM[0]の電位レベルを電源電位VDDとし、レベル制御信号/CS[0]がHレベルのとき電源線VM[0]の電位レベルを $VDD - V_{tp}$ (V_{tp} はPチャネルMOSトランジスタのゲート-ソース間電圧)とする。同様に、レベル制御信号/CS[1]がLレベルのとき電源線VM[1]の電位レベルを電源電位VDDとし、レベル制御信号/CS[1]がHレベルのとき電源線VM[1]の電位レベルを $VDD - V_{tp}$ とする。

【0027】

次に、メモリセル1A-0、1A-1、1A-2、1A-3を代表したメモリセル1Aの具体的な回路構成について説明する。ただし、メモリセル1Aは、書込ワード線、読出ビット線などの制御線を含むものとして考える。

【0028】

図3は、この発明の実施の形態1によるメモリセル1Aの具体的な回路構成を

示した回路図である。

【0029】

図3に示した実施の形態1のメモリセル1Aは、マルチポートの一例である2ポートのメモリセル構成を有する。メモリセル1Aは、データ記憶部1000Aと、書込ポート2000Aと、読出ポート3000Aとを備える。

【0030】

データ記憶部1000Aは、インバータ2A、3Aを含む。インバータ2Aは、電源線VMと記憶ノードN1との間に接続されたPチャネルMOSトランジスタ11と、記憶ノードN1と接地線GNDとの間に接続されたNチャネルMOSトランジスタ12とを有する。インバータ3Aは、電源線VMと記憶ノードN2との間に接続されたPチャネルMOSトランジスタ13と、記憶ノードN2と接地線GNDとの間に接続されたNチャネルMOSトランジスタ14とを有する。

【0031】

PチャネルMOSトランジスタ11およびNチャネルMOSトランジスタ12のゲートは、ともに記憶ノードN2に接続される。PチャネルMOSトランジスタ13およびNチャネルMOSトランジスタ14のゲートは、ともに記憶ノードN1に接続される。

【0032】

書込ポート2000Aは、NチャネルMOSトランジスタ4と、書込ワード線WWLと、書込ビット線WBLとを含む。NチャネルMOSトランジスタ4は、ソースが記憶ノードN1に接続され、ゲートが書込ワード線WWLに接続され、ドレインが書込ビット線WBLに接続される。

【0033】

読出ポート3000Aは、NチャネルMOSトランジスタ5、6と、読出ワード線RWLと、読出ビット線RBLとを含む。NチャネルMOSトランジスタ5は、ソースが接地線GNDに接続され、ゲートが記憶ノードN2に接続され、ドレインがNチャネルMOSトランジスタ6のソースに接続される。NチャネルMOSトランジスタ6は、ソースがNチャネルMOSトランジスタ5のドレインに接続され、ゲートが読出ワード線RWLに接続され、ドレインが読出ビット線R

BLに接続される。

【0034】

上記のように、実施の形態1のメモリセル1Aは、書込ポート2000Aと読出ポート3000Aとを備えた2ポートメモリセル構成を有するため、読出ビット線RBLと記憶ノードN1、N2とが電氣的に接続することはない。そのため、読出し動作時における記憶データの破壊を防止することができ、安定した読出し動作が可能となる。

【0035】

メモリセル1Aのより詳細な回路動作について、次の図4、5を参照しながら詳しく説明する。

【0036】

図4は、この発明の実施の形態1によるメモリセル1Aの書込ポート2000Aにおける書込み動作を説明するためのタイミング図である。

【0037】

まず、書込み動作前において、記憶ノードN1にHレベル（論理ハイ）を書込む場合は書込ビット線WBLをHレベルに、Lレベル（論理ロー）を書込む場合は書込ビット線WBLをLレベルに、図示しないドライブ回路によってそれぞれドライブしておく。

【0038】

時刻t1に書込ワード線WWLがLレベルからHレベルに立ち上がって書込み動作が開始すると、図3のNチャンネルMOSトランジスタ4（アクセストランジスタ）がオンし、書込ビット線WBLと記憶ノードN1とが電氣的に接続する。

【0039】

このとき、書込ビット線WBLは強くドライブされているため、記憶ノードN1は、保持データの状態に関わらず書込ビット線WBLのレベルに変化する。記憶ノードN2は、記憶ノードN1と逆のレベルに変化する。図4では書込ビット線WBLが仮にLレベルにドライブされているため、記憶ノードN1、N2は、時刻t1にそれぞれLレベル、Hレベルとなる。

【0040】

時刻 t_2 に書込ワード線 WWL が H レベルから L レベルに立ち下がると、図 3 の N チャンネル MOS トランジスタ 4 (アクセストランジスタ) がオフし、書込ビット線 WBL と記憶ノード N1 とが電氣的に分離する。

【0 0 4 1】

書込ビット線 WBL と記憶ノード N1 との電氣的分離を受けて、記憶ノード N1, N2 は、それぞれが引き込まれたレベルで安定する。この結果、記憶ノード N1, N2 は各々のデータを保持し、書込み動作が完了する。

【0 0 4 2】

図 5 は、この発明の実施の形態 1 によるメモリセル 1A の読出ポート 3000A における読出し動作を説明するためのタイミング図である。

【0 0 4 3】

まず、読出し動作前において、読出ビット線 RBL を図示しないプリチャージ回路によって予め H レベルにプリチャージしておく。以下では、記憶ノード N1, N2 がそれぞれ L レベル, H レベルの場合について説明する。

【0 0 4 4】

時刻 t_1 に読出ワード線 RWL が L レベルから H レベルに立ち上がって読出し動作が開始すると、図 3 の N チャンネル MOS トランジスタ 6 がオンし、記憶ノード N2 も H レベルであることから、読出ビット線 RBL と接地線 GND とが電氣的に接続する。その結果、読出ビット線 RBL は L レベルとなり、記憶ノード N2 の反転レベルである L レベルが読み出される。

【0 0 4 5】

時刻 t_2 に読出ワード線 RWL が H レベルから L レベルに立ち下がると、図 3 の N チャンネル MOS トランジスタ 6 がオフし、読出ビット線 RBL と接地線 GND とが電氣的に分離する。

【0 0 4 6】

時刻 t_3 には、次の読出し動作のため、読出ビット線 RBL を再び H レベルにプリチャージし、読出し動作を完了する。

【0 0 4 7】

なお、記憶ノード N1, N2 がそれぞれ H レベル, L レベルの場合には、読出

ワード線RWLがLレベルからHレベルに立ち上がっても、記憶ノードN2がLレベルであることから、読出ビット線RBLと接地線GNDとは電氣的に接続しない。そのため、読出ビット線RBLはHレベルのままとなり、記憶ノードN2の反転レベルであるHレベルが読み出される。

【0048】

次に、図2において回路構成を説明したメモリセルアレイ110Aの動作について詳細に説明する。

【0049】

まず、書込みも読出しも行なわない待機時におけるメモリセルアレイ110Aの動作について説明する。

【0050】

図2を参照して、待機時のメモリセルアレイ110Aは、書込ワード線WWLA[0]，WWLA[1]，WWLB[0]，WWLB[1]および読出ワード線RWL[0]，RWL[1]が全てLレベルとなる。すなわち、メモリセル1A-0，1A-1，1A-2，1A-3は、待機時において、いずれも選択されていない状態となる。

【0051】

この待機時において、レベル制御信号／CS[0]，／CS[1]を、共にHレベルに設定する。

【0052】

レベル制御信号／CS[0]，／CS[1]を共にHレベルに設定することで、PチャネルMOSトランジスタ22A，24Aはいずれもオフ状態となる。これを受けて、メモリセル1A-0，1A-1，1A-2，1A-3内のMOSトランジスタにはゲートリーク電流が流れ、電源線VM[0]，VM[1]は、いずれもVDD-Vtp（VtpはPチャネルMOSトランジスタのゲートソース間電圧）のレベルまで下がった電位で安定する。

【0053】

上記のゲートリーク電流とゲート電圧（ゲートソース間電圧およびゲートドレイン間電圧の総称）との関係について、次の図6を参照して説明する。

【0054】

図6は、MOSトランジスタにおけるゲートリーク電流とゲート電圧との関係の一例をグラフによって示した図である。

【0055】

図6のグラフは、MOSトランジスタのゲート酸化膜厚が 20 \AA の場合を示しており、横軸がゲート電圧（単位はV）、縦軸が単位ゲート面積あたりに流れるゲートリーク電流（単位は $\text{A}/\mu\text{m}^2$ ）をそれぞれ表わす。なお、縦軸は対数スケールである。

【0056】

図6に示すように、ゲート電圧が 1.0 V のときゲートリーク電流は $10^{-11}\text{ A}/\mu\text{m}^2$ であるが、ゲート電圧が 0.5 V に低下すると、ゲートリーク電流は一桁低減して $10^{-12}\text{ A}/\mu\text{m}^2$ となる。このように、ゲートリーク電流はゲート電圧に対して指数的に変化するため、ゲート電圧をわずかに落とすだけでゲートリーク電流は大幅に低減する。

【0057】

図3を参照して、メモリセル1Aの記憶ノードN2がたとえばHレベルであったとすると、NチャネルMOSトランジスタ5, 12の各ゲート端子から接地線GNDにゲートリーク電流が流れる。ここで、仮に電源線VMの電位が 1.0 V から 0.5 V に下がったとすると、NチャネルMOSトランジスタ5, 12におけるゲートリーク電流は1桁減少する。

【0058】

したがって、図2を参照して、レベル制御信号 $/\text{CS}[0]$ 、 $/\text{CS}[1]$ を共にHレベルに設定して電源線VM[0]、VM[1]の電位を $\text{VDD}-\text{V}_{\text{tp}}$ に下げることにより、メモリセルアレイ110Aの待機時におけるゲートリーク電流を大幅に低減することができる。これにより、メモリセルアレイ110Aの待機時における消費電力を大幅に低減することが可能となる。

【0059】

次に、図2を参照して、メモリセルアレイ110Aの書込み動作について説明する。

【0060】

たとえば、メモリセル 1A-0 にデータを書込む場合には、列アドレス信号によって書込ビット線 WBL [0] を選択し、書込ビット線 WBL [0] に所望の値をドライブする。続いて、列アドレス信号および行アドレス信号によって書込ワード線 WWLA [0] を選択し、書込ワード線 WWLA [0] を Hレベルにすることでメモリセル 1A-0 に所望のデータを書込む。

【0061】

また、メモリセル 1A-1 にデータを書込む場合には、列アドレス信号によって書込ビット線 WBL [1] を選択し、書込ビット線 WBL [1] に所望の値をドライブする。続いて、列アドレス信号および行アドレス信号によって書込ワード線 WWLB [0] を選択し、書込ワード線 WWLB [0] を Hレベルにすることでメモリセル 1A-1 に所望のデータを書込む。

【0062】

この書込み動作時において、レベル制御信号 /CS [0] , /CS [1] を、共に Hレベルに設定する。

【0063】

レベル制御信号 /CS [0] , /CS [1] を共に Hレベルに設定することで、メモリセル 1A-0, 1A-1, 1A-2, 1A-3 内の MOS トランジスタにはゲートリーク電流が流れ、電源線 VM [0] , VM [1] は、いずれも $V_{DD} - V_{tp}$ (V_{tp} は Pチャネル MOS トランジスタのゲートソース間電圧) のレベルまで下がった電位で安定する。

【0064】

したがって、レベル制御信号 /CS [0] , /CS [1] を共に Hレベルに設定して電源線 VM [0] , VM [1] の電位を $V_{DD} - V_{tp}$ に下げることにより、メモリセルアレイ 110A の書込み動作時におけるゲートリーク電流を大幅に低減することができる。これにより、メモリセルアレイ 110A の書込み動作時における消費電力を大幅に低減することが可能となる。

【0065】

次に、メモリセルアレイ 110A の読出し動作について説明する。以下では、

メモリセル 1 A - 0 のデータを読み出す場合について、図 7， 8 を参照しながら説明する。

【 0 0 6 6 】

図 7 は、実施の形態 1 のメモリセルアレイ 1 1 0 A における読出ワード線 R W L [0] および読出ビット線 R B L [0]， R B L [1] の電位変化を示した図である。

【 0 0 6 7 】

メモリセル 1 A - 0 のデータを読み出す場合、行アドレス信号によって読出ワード線 R W L [0] を選択し、図 7 に示すように、読出ワード線 R W L [0] を H レベル（電源電位 V D D）にすることで読出ビット線 R B L [0] に所望のデータを読み出す。電源電位 V D D は、たとえば 1. 0 V に設定される。

【 0 0 6 8 】

ただし、図 2 に示すように、読出ワード線 R W L [0] は、同一行で非読出し列のメモリセルであるメモリセル 1 A - 1 にも接続している。そのため、メモリセル 1 A - 0 のデータが読出ビット線 R B L [0] に読み出されるのと同時に、メモリセル 1 A - 1 のデータが読出ビット線 R B L [1] に読み出される。

【 0 0 6 9 】

実施の形態 1 のメモリセルアレイ 1 1 0 A では、同時に読み出されたメモリセル 1 A - 0， 1 A - 1 の各データは図示しないセクタ回路に入力され、列アドレス信号によって指定された一方の読出ビット線のデータを選択することにより所望のデータが読み出される。

【 0 0 7 0 】

ところで、図 5 において説明したように、メモリセル 1 A の読出し動作は、読出ビット線を予め H レベルにプリチャージしてから行なわれる。

【 0 0 7 1 】

そのため、読出ビット線 R B L [0] に H レベルのデータを読み出す場合（図 3 の記憶ノード N 2 が L レベルの場合）、読出ビット線 R B L [0] のレベルは読出し動作によって変化しない。一方、読出ビット線 R B L [0] に L レベルのデータを読み出す場合（図 3 の記憶ノード N 2 が H レベルの場合）、読出ビット

線 RBL [0] のレベルは、読出し動作によって H レベルから L レベルに変化する。

【0072】

このとき、データ読出し列の読出ビット線 RBL [0] は、読出し動作の高速化のため、電位レベルが速く変動することが望ましい。一方、データ非読出し列の読出ビット線 RBL [1] は、充放電電流を抑えて消費電力を低減するため、電位レベルは変化しないことが望ましい。

【0073】

そこで、実施の形態 1 のメモリセルアレイ 110A では、読出し動作時において、データ読出し列の電源線 VM [0] の電位レベルを制御するレベル制御信号 /CS [0] を L レベルに、データ非読出し列の電源線 VM [1] の電位レベルを制御するレベル制御信号 /CS [1] を H レベルにそれぞれ設定する。

【0074】

図 8 は、実施の形態 1 のメモリセルアレイ 110A における電源線 VM [0] , VM [1] の電位変化を示した図である。

【0075】

レベル制御信号 /CS [0] , /CS [1] をそれぞれ L レベル, H レベルと設定することにより、読出し動作時において、図 8 に示すように、データ読出し列（選択列）の電源線 VM [0] における電位レベルは電源電位 VDD となり、データ非読出し列（非選択列）の電源線 VM [1] における電位レベルは $VDD - V_{tp}$ (V_{tp} は P チャネル MOS トランジスタのゲートソース間電圧) となる。

【0076】

したがって、選択メモリセル 1A-0 における図 3 の記憶ノード N2 の電位レベルは電源電位 VDD となり、図 3 の読み出し用 N チャネル MOS トランジスタ 5 のゲートソース間には電源電位 VDD の電圧がかかる。一般に、ゲートソース間電圧が高いほど、MOS トランジスタの駆動能力は高くなるため、データ読出し列の読出ビット線 RBL [0] のデータは速く引き抜かれる。

【0077】

その結果、図7を参照して、データ読出し列（選択列）の読出ビット線RBL[0]は、読出し動作時において、電位レベルの低下幅が大きくなる。

【0078】

一方、非選択メモリセル1A-1における図3の記憶ノードN2の電位レベルは $V_{DD}-V_{tp}$ となり、図3の読み出し用NチャネルMOSトランジスタ5のゲートソース間には $V_{DD}-V_{tp}$ の電圧がかかる。非選択メモリセル1A-1は、読み出し用NチャネルMOSトランジスタ5のゲートソース間電圧が選択メモリセル1A-0に比べて低いので、データ非読出し列の読出ビット線RBL[1]のデータはゆっくり引き抜かれる。

【0079】

その結果、図7を参照して、データ非読出し列（非選択列）の読出ビット線RBL[1]は、読出し動作時において、電位レベルの低下幅が小さくなる。

【0080】

読出ビット線RBL[0]の電位変化がデータ出力に伝わって読出し動作が完了すると、図7に示すように、読出ビット線RBL[0]、RBL[1]の電位レベルはプリチャージされて再びHレベルに戻る。

【0081】

このとき、読出し動作時における電位レベルの低下幅が小さいデータ非読出し列の読出ビット線RBL[1]は、プリチャージ動作時において、少ない充電電流でHレベルに復帰することができる。

【0082】

このように、レベル制御信号 $\text{CS}[0]$ 、 $\text{CS}[1]$ をそれぞれLレベル、Hレベルに設定して電源線VM[0]、VM[1]の電位をそれぞれ V_{DD} 、 $V_{DD}-V_{tp}$ とすることにより、メモリセルアレイ110Aの読出し動作時における消費電力を低減することが可能となる。

【0083】

読出し動作が完了すると、ゲートリーク電流による消費電力を低減するためにレベル制御信号 $\text{CS}[0]$ をHレベルに戻し、電源線VM[0]の電位レベルを電源電位 V_{DD} にドライブしていた図2のPチャネルMOSトランジスタ22

Aをオフする。これにより、図8に示すように、電源線VM[0]の電位レベルは徐々に $VDD - V_{tp}$ のレベルにまで低下し、やがて安定する。

【0084】

以上のように、実施の形態1によれば、同一行のメモリセルであっても各メモリセルに対して個別の書込ワード線を割り当て、レベル制御信号に応じて電源線の電位を制御することにより、ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による消費電力を低減させることができる。

【0085】

〔実施の形態2〕

図9は、この発明の実施の形態2によるメモリセルアレイ110Bおよびその周辺の回路構成を示した回路図である。

【0086】

図9を参照して、実施の形態2のメモリセルアレイ110Bは、行列状に配置されたメモリセル1B-0, 1B-1, 1B-2, 1B-3と、行方向に配置された書込ワード線WWLA[0], WWLA[1], WWLB[0], WWLB[1]および読出ワード線RWL[0], RWL[1]と、列方向に配置された書込ビット線WBL[0], WBL[1]および読出ビット線RBL[0], RBL[1]とを含む。

【0087】

書込ワード線、読出ワード線、書込ビット線、および読出ビット線の各メモリセルに対する接続関係は、実施の形態1のメモリセルアレイ110Aと同様なので、ここでは説明を繰り返さない。

【0088】

実施の形態2のメモリセルアレイ110Bは、電源線VM1[0], VM2[0], VM1[1], VM2[1]を介して電源線レベル制御回路20Bに接続される。電源線VM1[0], VM2[0]の各々は、メモリセル1B-0, 1B-2に共通に接続される。電源線VM1[1], VM2[1]の各々は、メモリセル1B-1, 1B-3に共通に接続される。

【0089】

電源線レベル制御回路20Bは、電源線VM1 [0] に接続されたPチャネルMOSトランジスタ21Bと、電源線VM2 [0] に接続されたPチャネルMOSトランジスタ22B, 23Bと、電源線VM1 [1] に接続されたPチャネルMOSトランジスタ24Bと、電源線VM2 [1] に接続されたPチャネルMOSトランジスタ25B, 26Bとを含む。

【0090】

PチャネルMOSトランジスタ21Bは、電源線VM1 [0] にダイオード接続される。PチャネルMOSトランジスタ22Bは、電源線VM2 [0] にダイオード接続される。PチャネルMOSトランジスタ24Bは、電源線VM1 [1] にダイオード接続される。PチャネルMOSトランジスタ25Bは、電源線VM2 [1] にダイオード接続される。

【0091】

PチャネルMOSトランジスタ21B～26Bは、いずれもソースに電源電位VDDが与えられる。PチャネルMOSトランジスタ23B, 26Bの各ゲートは、レベル制御信号/CS [0], /CS [1] をそれぞれ受ける。

【0092】

電源線レベル制御回路20Bは、レベル制御信号/CS [0] がLレベルのとき電源線VM2 [0] の電位レベルを電源電位VDDとし、レベル制御信号/CS [0] がHレベルのとき電源線VM2 [0] の電位レベルを $VDD - V_{tp}$ (V_{tp} はPチャネルMOSトランジスタのゲート-ソース間電圧) とする。同様に、レベル制御信号/CS [1] がLレベルのとき電源線VM2 [1] の電位レベルを電源電位VDDとし、レベル制御信号/CS [1] がHレベルのとき電源線VM2 [1] の電位レベルを $VDD - V_{tp}$ とする。一方、電源線VM1 [0], VM1 [1] の各電位は、 $VDD - V_{tp}$ に固定されている。

【0093】

次に、メモリセル1B-0, 1B-1, 1B-2, 1B-3を代表したメモリセル1Bの具体的な回路構成について説明する。ただし、メモリセル1Bは、書込ワード線、読出ビット線などの制御線を含むものとして考える。なお、実施の

形態 2 によるメモリセル 1 B およびメモリセルアレイ 110 B の回路動作については、実施の形態 1 と重複する部分に関しては説明を繰り返さない。

【0094】

図 10 は、この発明の実施の形態 2 によるメモリセル 1 B の具体的な回路構成を示した回路図である。

【0095】

図 10 を参照して、実施の形態 2 のメモリセル 1 B は、データ記憶部 1000 B と、書込ポート 2000 B と、読出ポート 3000 B とを備える。データ記憶部 1000 B は、インバータ 2 B, 3 B を含む。なお、書込ポート 2000 B, 読出ポート 3000 B は、実施の形態 1 の書込ポート 2000 A, 読出ポート 3000 A とそれぞれ同一なので、ここでは説明を繰り返さない。

【0096】

実施の形態 2 のデータ記憶部 1000 B は、電位レベルが固定された電源線 VM1 がインバータ 2 B に接続され、電位レベルが制御可能な電源線 VM2 がインバータ 3 B に接続される点においてのみ、実施の形態 1 のデータ記憶部 1000 A と異なる。なお、電源線 VM1 の電位が固定されていても記憶ノード N1 の電位が固定されるだけであり、読出し速度に係る記憶ノード N2 の電位は、実施の形態 1 の場合と同様に制御することが可能である。

【0097】

このように、実施の形態 1 の電源線 VM がインバータ 2 B, 3 B に対して共通に接続されるのに対し、実施の形態 2 の電源線 VM1, VM2 は、インバータ 2 B, 3 B に対してそれぞれ個々に接続される。そのため、実施の形態 2 の電源線 VM1, VM2 に対する負荷容量は、実施の形態 1 の電源線 VM に対する負荷容量に比べて小さくなる。

【0098】

したがって、実施の形態 2 のメモリセルアレイ 110 B は、読出し動作時ににおいて、データ読出し列（選択列）の電源線における電位レベルを図 8 で説明したように $V_{DD} - V_{tp}$ から V_{DD} に立ち上げる際、必要な消費電力が少なくて済み、さらに電位レベルの立上がり速度も速くなる。

【0099】

また、実施の形態1の記憶ノードN1におけるHレベルが電源電位VDDであったのに対し、実施の形態2の記憶ノードN1におけるHレベルは、読出し動作時においても、電位レベルが $VDD - V_{tp}$ となる。

【0100】

したがって、実施の形態2のメモリセルアレイ110Bは、記憶ノードN1がHレベルであることに起因したゲートリーク電流を、読出し動作時においても低減することができる。

【0101】

以上のように、実施の形態2によれば、電源線を2つに分けて一方の電位レベルのみを制御可能とすることにより、ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による消費電力を低減させることができる。

【0102】

[実施の形態3]

図11は、この発明の実施の形態3によるメモリセルアレイ110Cの回路構成を示した回路図である。

【0103】

図11を参照して、実施の形態3のメモリセルアレイ110Cは、行列状に配置されたメモリセル1C-0, 1C-1, 1C-2, 1C-3と、行方向に配置された書込ワード線WWLA[0], WWLA[1], WWLB[0], WWLB[1] および読出ワード線RWL[0], RWL[1] と、列方向に配置された書込ビット線WBL[0], WBL[1] および読出ビット線RBL[0], RBL[1] とを含む。

【0104】

書込ワード線、読出ワード線、書込ビット線、および読出ビット線の各メモリセルに対する接続関係は、実施の形態1のメモリセルアレイ110Aと同様なので、ここでは説明を繰り返さない。

【0105】

実施の形態 3 のメモリセルアレイ 110C では、レベル制御信号 /CS [0] , /CS [1] がメモリセル 1C-0, 1C-1, 1C-2, 1C-3 に直接入力される。レベル制御信号 /CS [0] は、メモリセル 1C-0, 1C-2 に共通に入力される。レベル制御信号 /CS [1] は、メモリセル 1C-1, 1C-3 に共通に入力される。

【0106】

次に、メモリセル 1C-0, 1C-1, 1C-2, 1C-3 を代表したメモリセル 1C の具体的な回路構成について説明する。ただし、メモリセル 1C は、書込ワード線、読出ビット線などの制御線を含むものとして考える。なお、実施の形態 3 によるメモリセル 1C およびメモリセルアレイ 110C の回路動作については、実施の形態 1 と重複する部分に関しては説明を繰り返さない。

【0107】

図 12 は、この発明の実施の形態 3 によるメモリセル 1C の具体的な回路構成を示した回路図である。

【0108】

図 12 を参照して、実施の形態 3 のメモリセル 1C は、データ記憶部 1000C と、書込ポート 2000C と、読出ポート 3000C とを備える。なお、書込ポート 2000C, 読出ポート 3000C は、実施の形態 1 の書込ポート 2000A, 読出ポート 3000A とそれぞれ同一なので、ここでは説明を繰り返さない。

【0109】

データ記憶部 1000C は、インバータ 2C, 3C を含む。インバータ 2C は、ノード N3 と記憶ノード N1 との間に接続された P チャネル MOS トランジスタ 11 と、記憶ノード N1 と接地ノード GND との間に接続された N チャネル MOS トランジスタ 12 と、電源電位 VDD が与えられた電源ノード VDD とノード N3 との間に接続された P チャネル MOS トランジスタ 15 とを有する。

【0110】

インバータ 3C は、ノード N3 と記憶ノード N2 との間に接続された P チャネル MOS トランジスタ 13 と、記憶ノード N2 と接地ノード GND との間に接続

されたNチャネルMOSトランジスタ14と、電源電位VDDが与えられた電源ノードVDDとノードN3との間にダイオード接続されたPチャネルMOSトランジスタ16とを有する。

【0111】

PチャネルMOSトランジスタ11およびNチャネルMOSトランジスタ12のゲートは、ともに記憶ノードN2に接続される。PチャネルMOSトランジスタ13およびNチャネルMOSトランジスタ14のゲートは、ともに記憶ノードN1に接続される。また、PチャネルMOSトランジスタ15のゲートには、列アドレス信号、書込制御信号、および読出制御信号に連動したレベル制御信号／CSが入力される。

【0112】

図12を参照して、レベル制御信号／CSがLレベルのとき、PチャネルMOSトランジスタ15はオンとなるため、ノードN3の電位は電源電位VDDとなる。これにより、記憶ノードN1、N2のうちHレベル側の電位が電源電位VDDとなる。

【0113】

一方、レベル制御信号／CSがHレベルのとき、PチャネルMOSトランジスタ15はオフとなるため、ノードN3の電位は徐々に下がり、PチャネルMOSトランジスタ16のゲートソース間電圧 V_{tp} だけ下がったところで安定する。すなわち、ノードN3の電位は $VDD - V_{tp}$ となるため、記憶ノードN1、N2のうちHレベル側の電位が $VDD - V_{tp}$ となる。

【0114】

実施の形態3のメモリセルアレイ110Cでは、メモリセル1C-0の読出し動作時において、実施の形態1の場合と同じく、レベル制御信号／CS[0]、／CS[1]をそれぞれLレベル、Hレベルに設定する。

【0115】

これにより、データ読出し列のメモリセル1C-0、1C-2におけるノードN3および記憶ノードN2の電位レベルは電源電位VDDとなるので、高速な読出し動作が可能となる。

【0116】

一方、データ非読出し列のメモリセル 1C-1, 1C-3 におけるノード N3 および記憶ノード N2 の電位レベルは $V_{DD} - V_{tp}$ となるので、ゲートリーク電流による消費電力を低減することができる。

【0117】

メモリセル 1C-1 における記憶ノード N2 が H レベルの場合、実施の形態 1 の図 7 において説明したように、読出ビット線 RBL [1] のデータはゆっくり引き抜かれる。そのため、読出し動作時において電位レベルの低下幅が小さくなり、充放電電流を抑えることができる。

【0118】

また、書込み動作時および待機時には、メモリセル 1C-0, 1C-1, 1C-2, 1C-3 の全てにおいてノード N3 の電位レベルが $V_{CC} - V_{tp}$ に下がるため、ゲートリーク電流を低減することができる、。

【0119】

以上のように、実施の形態 3 によれば、レベル制御信号をメモリセルに直接入力して記憶ノードの電位レベルを制御することにより、ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による消費電力を低減させることができる。

【0120】**[実施の形態 4]**

図 13 は、この発明の実施の形態 4 によるメモリセルアレイ 110D の回路構成を示した回路図である。

【0121】

図 13 を参照して、実施の形態 4 のメモリセルアレイ 110D は、行列状に配置されたメモリセル 1D-0, 1D-1, 1D-2, 1D-3 と、行方向に配置された書込ワード線 WWLA [0], WWLA [1], WWLB [0], WWLB [1] および読出ワード線 RWL [0], RWL [1] と、列方向に配置された書込ビット線 WBL [0], WBL [1] および読出ビット線 RBL [0], RBL [1] とを含む。

【0 1 2 2】

書込ワード線，読出ワード線，書込ビット線，および読出ビット線の各メモリセルに対する接続関係は、実施の形態 1 のメモリセルアレイ 1 1 0 A と同様なもので、ここでは説明を繰り返さない。

【0 1 2 3】

実施の形態 4 のメモリセルアレイ 1 1 0 D では、レベル制御信号／CS [0]，／CS [1] に加えて、第 2 のレベル制御信号／CR [0]，／CR [1] がメモリセル 1 D-0，1 D-1，1 D-2，1 D-3 に入力される。

【0 1 2 4】

レベル制御信号／CS [0] は、メモリセル 1 D-0，1 D-2 に共通に入力される。レベル制御信号／CS [1] は、メモリセル 1 D-1，1 D-3 に共通に入力される。第 2 のレベル制御信号／CR [0] は、メモリセル 1 D-0，1 D-1 に共通に入力される。第 2 のレベル制御信号／CR [1] は、メモリセル 1 D-2，1 D-3 に共通に入力される。

【0 1 2 5】

次に、メモリセル 1 D-0，1 D-1，1 D-2，1 D-3 を代表したメモリセル 1 D の具体的な回路構成について説明する。ただし、メモリセル 1 D は、書込ワード線，読出ビット線などの制御線を含むものとして考える。なお、実施の形態 4 によるメモリセル 1 D およびメモリセルアレイ 1 1 0 D の回路動作については、実施の形態 1 と重複する部分に関しては説明を繰り返さない。

【0 1 2 6】

図 1 4 は、この発明の実施の形態 4 によるメモリセル 1 D の具体的な回路構成を示した回路図である。

【0 1 2 7】

図 1 4 を参照して、実施の形態 4 のメモリセル 1 D は、データ記憶部 1 0 0 0 D と、書込ポート 2 0 0 0 D と、読出ポート 3 0 0 0 D とを備える。なお、書込ポート 2 0 0 0 D，読出ポート 3 0 0 0 D は、実施の形態 1 の書込ポート 2 0 0 0 A，読出ポート 3 0 0 0 A とそれぞれ同一なので、ここでは説明を繰り返さない。

【0128】

データ記憶部1000Dは、インバータ2D、3Dを含む。インバータ2Dは、ノードN3と記憶ノードN1との間に接続されたPチャネルMOSトランジスタ11と、記憶ノードN1と接地ノードGNDとの間に接続されたNチャネルMOSトランジスタ12と、電源電位VDDが与えられた電源ノードVDDとノードN3との間に直列接続されたPチャネルMOSトランジスタ15、17とを有する。

【0129】

PチャネルMOSトランジスタ15のゲートには、列アドレス信号、書込制御信号、および読出制御信号に連動したレベル制御信号/CSが入力される。PチャネルMOSトランジスタ17のゲートには、行アドレス信号、書込制御信号、および読出制御信号に連動したレベル制御信号/CSが入力される。

【0130】

インバータ3Dは、ノードN3と記憶ノードN2との間に接続されたPチャネルMOSトランジスタ13と、記憶ノードN2と接地ノードGNDとの間に接続されたNチャネルMOSトランジスタ14と、電源電位VDDが与えられた電源ノードVDDとノードN3との間にダイオード接続されたPチャネルMOSトランジスタ16とを有する。

【0131】

PチャネルMOSトランジスタ11およびNチャネルMOSトランジスタ12のゲートは、ともに記憶ノードN2に接続される。PチャネルMOSトランジスタ13およびNチャネルMOSトランジスタ14のゲートは、ともに記憶ノードN1に接続される。

【0132】

図14を参照して、レベル制御信号/CSおよび第2のレベル制御信号/CRが共にLレベルのとき、PチャネルMOSトランジスタ15、17は共にオンであるため、ノードN3は電源電位VDDとなる。これにより、記憶ノードN1、N2のうちHレベル側の電位が電源電位VDDとなる。

【0133】

一方、レベル制御信号／CSまたは第2のレベル制御信号／CRがHレベルのとき、レベル制御信号／CSがHレベルならPチャネルMOSトランジスタ15が、第2のレベル制御信号／CRがHレベルならPチャネルMOSトランジスタ17がそれぞれオフとなる。

【0134】

そのため、ノードN3の電位は徐々に下がり、PチャネルMOSトランジスタ16のゲートソース間電圧 V_{tp} だけ下がったところで安定する。すなわち、ノードN3の電位は $V_{DD} - V_{tp}$ となるため、記憶ノードN1、N2のうちHレベル側の電位が $V_{DD} - V_{tp}$ となる。

【0135】

実施の形態4のメモリセルアレイ110Dでは、メモリセル1D-0の読出し動作時において、レベル制御信号／CS[0]および第2のレベル制御信号／CR[0]をLレベルに設定することで、データが読み出されるメモリセル1D-0の行および列を選択する。一方、データが読み出されない行および列に対応して、レベル制御信号／CS[1]および第2のレベル制御信号／CR[1]はHレベルに設定する。

【0136】

これにより、データが読み出されるメモリセル1D-0におけるノードN3および記憶ノードN2の電位レベルは電源電位 V_{DD} となるので、高速な読出し動作が可能となる。

【0137】

一方、データが読み出されないメモリセル1D-1、1D-2、1D-3におけるノードN3および記憶ノードN2の電位レベルは $V_{DD} - V_{tp}$ となるので、ゲートリーク電流による消費電力を低減することができる。

【0138】

このように、実施の形態3のメモリセルアレイ110Cでは、データ読出し列のメモリセルにおけるノードN3および記憶ノードN2の電位レベルは全て電源電位 V_{DD} だったのに対し、実施の形態4のメモリセルアレイ110Dでは、データ読出し列であっても非データ読出し行のメモリセルにおけるノードN3およ

び記憶ノードN2の電位レベルは $V_{DD} - V_{tp}$ となる。そのため、実施の形態3に比べて、実施の形態4ではゲートリーク電流による消費電力をさらに低減することができる。

【0139】

メモリセル1D-1における記憶ノードN2がHレベルの場合、実施の形態1の図7において説明したように、読出ビット線RBL[1]のデータはゆっくり引き抜かれる。そのため、読出し動作時において電位レベルの低下幅が小さくなり、充放電電流を抑えることができる。

【0140】

また、書込み動作時および待機時には、メモリセル1D-0, 1D-1, 1D-2, 1D-3の全てにおいてノードN3の電位レベルが $V_{CC} - V_{tp}$ に下がるため、ゲートリーク電流を低減することができる。

【0141】

以上のように、実施の形態4によれば、行および列にそれぞれ対応したレベル制御信号をメモリセルに直接入力して記憶ノードの電位レベルを制御することにより、ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による消費電力を低減させることができる。

【0142】

〔実施の形態5〕

図15は、この発明の実施の形態5によるメモリセルアレイ110Eおよびその周辺の回路構成を示した回路図である。

【0143】

図15を参照して、実施の形態5のメモリセルアレイ110Eは、行列状に配置されたメモリセル1E-0, 1E-1, 1E-2, 1E-3と、行方向に配置された書込ワード線WWLA[0], WWLA[1], WWLB[0], WWLB[1]および読出ワード線RWL[0], RWL[1]と、列方向に配置された書込ビット線WBL[0], WBL[1]および読出ビット線RBL[0], RBL[1]とを含む。

【0144】

書込ワード線，読出ワード線，書込ビット線，および読出ビット線の各メモリセルに対する接続関係は、実施の形態1のメモリセルアレイ110Aと同様なので、ここでは説明を繰り返さない。

【0145】

実施の形態5のメモリセルアレイ110Eは、電源線VM[0]，VM[1]を介して電源線レベル制御回路20Aに接続され、接地線GM[0]，GM[1]を介して接地線レベル制御回路30Eに接続される。電源線VM[0]および接地線GM[0]は、メモリセル1E-0，1E-2に共通に接続される。電源線VM[1]および接地線GM[1]は、メモリセル1E-1，1E-3に共通に接続される。

【0146】

電源線レベル制御回路20Aの回路構成および動作は、実施の形態1の図2において説明したので、ここでは説明を繰り返さない。接地線レベル制御回路30Eの回路構成および動作は、次の図16，17を参照しながら説明する。

【0147】

図16は、接地線レベル制御回路30Eの一例である接地線レベル制御回路30E-1の回路構成を示した回路図である。

【0148】

図16を参照して、接地線レベル制御回路30E-1は、接地線GM[0]に接続されたNチャネルMOSトランジスタ31Eと、接地線GM[1]に接続されたNチャネルMOSトランジスタ32Eとを含む。

【0149】

NチャネルMOSトランジスタ31E，32Eは、いずれもソースに接地電位GNDが与えられる。NチャネルMOSトランジスタ31E，32Eの各ゲートは、レベル制御信号CS[0]，CS[1]をそれぞれ受ける。レベル制御信号CS[0]，CS[1]は、列アドレス信号および読出制御信号に連動する。

【0150】

接地線レベル制御回路30E-1は、レベル制御信号CS[0]がHレベルの

とき接地線 GM [0] の電位レベルを接地電位 GND とし、レベル制御信号 CS [0] が L レベルのとき接地線 GM [0] の電位レベルをフローティングとする。同様に、レベル制御信号 CS [1] が H レベルのとき接地線 GM [1] の電位レベルを接地電位 GND とし、レベル制御信号 CS [1] が L レベルのとき接地線 GM [1] の電位レベルをフローティングとする。

【0151】

図 17 は、接地線レベル制御回路 30E の他の一例である接地線レベル制御回路 30E-2 の回路構成を示した回路図である。

【0152】

図 17 を参照して、接地線レベル制御回路 30E-2 は、接地線 GM [0] に接続された P チャネル MOS トランジスタ 33E および N チャネル MOS トランジスタ 34E と、接地線 GM [1] に接続された P チャネル MOS トランジスタ 35E および N チャネル MOS トランジスタ 36E とを含む。

【0153】

P チャネル MOS トランジスタ 33E および N チャネル MOS トランジスタ 34E は、電源ノード VDD と接地ノード GND との間に直列接続され、各ゲートはともにレベル制御信号 CS [0] を受ける。P チャネル MOS トランジスタ 35E および N チャネル MOS トランジスタ 36E は、電源ノード VDD と接地ノード GND との間に直列接続され、各ゲートはともにレベル制御信号 CS [1] を受ける。レベル制御信号 CS [0] , CS [1] は、列アドレス信号および読出制御信号に連動する。

【0154】

接地線レベル制御回路 30E-2 は、レベル制御信号 CS [0] が H レベルのとき接地線 GM [0] の電位レベルを接地電位 GND とし、レベル制御信号 CS [0] が L レベルのとき接地線 GM [0] の電位レベルを電源電位 VDD とする。同様に、レベル制御信号 CS [1] が H レベルのとき接地線 GM [1] の電位レベルを接地電位 GND とし、レベル制御信号 CS [1] が L レベルのとき接地線 GM [1] の電位レベルを電源電位 VDD とする。

【0155】

このように、接地線レベル制御回路 30E は、接地線レベル制御回路 30E-1 の回路構成を採ることもできるし、接地線レベル制御回路 30E-2 の回路構成を採ることもできる。

【0156】

すなわち、接地線レベル制御回路 30E は、レベル制御信号 CS [0] が H レベルのとき接地線 GM [0] の電位レベルを接地電位 GND とし、レベル制御信号 CS [0] が L レベルのとき接地線 GM [0] の電位レベルを電源電位 VDD またはフローティングとする。同様に、レベル制御信号 CS [1] が H レベルのとき接地線 GM [1] の電位レベルを接地電位 GND とし、レベル制御信号 CS [1] が L レベルのとき接地線 GM [1] の電位レベルを電源電位 VDD またはフローティングとする。

【0157】

次に、メモリセル 1E-0, 1E-1, 1E-2, 1E-3 を代表したメモリセル 1E の具体的な回路構成について説明する。ただし、メモリセル 1E は、書込ワード線、読出ビット線などの制御線を含むものとして考える。

【0158】

図 18 は、この発明の実施の形態 5 によるメモリセル 1E の具体的な回路構成を示した回路図である。

【0159】

図 18 を参照して、実施の形態 5 のメモリセル 1E は、データ記憶部 1000E と、書込ポート 2000E と、読出ポート 3000E とを備える。データ記憶部 1000E, 書込ポート 2000E は、実施の形態 1 のデータ記憶部 1000A, 書込ポート 2000A とそれぞれ同一なのでここでは説明を繰り返さない。

【0160】

実施の形態 5 の読出ポート 3000E は、N チャネル MOS トランジスタ 5 のソースに電位レベルが制御可能な接地線 GM が接続された点においてのみ、実施の形態 1 の読出ポート 3000A と異なる。

【0161】

次に、上記のようなメモリセル構成を有するメモリセル 1E-0, 1E-1,

1 E - 2 , 1 E - 3 を含むメモリセルアレイ 1 1 0 E の動作について説明する。
なお、実施の形態 1 と重複する部分については説明を繰り返さない。

【 0 1 6 2 】

図 1 6 , 1 7 を参照して、実施の形態 5 のメモリセルアレイ 1 1 0 E では、非読出し動作時、すなわち待機時または書込み動作時において、接地線 GM [0] , GM [1] の電位レベルを制御するレベル制御信号 CS [0] , CS [1] を共に L レベルに設定する。

【 0 1 6 3 】

これにより、接地線 GM [0] , GM [1] の電位レベルは共に、電源電位 VDD またはフローティングとなる。ゆえに、図 1 8 を参照して、接地線 GM [0] , GM [1] の電位レベルは、Nチャネル MOS トランジスタ 5 のゲートドレイン間電圧を考慮すると、読出し動作前において、予め電源電位 VDD にプリチャージされる読出ビット線 RBL [0] , RBL [1] と同じ電位レベルになる。

【 0 1 6 4 】

次に、メモリセルアレイ 1 1 0 E の読出し動作について説明する。以下では、メモリセル 1 E - 0 のデータを読み出す場合について、図 1 9 , 2 0 を参照しながら説明する。

【 0 1 6 5 】

図 1 9 は、実施の形態 5 のメモリセルアレイ 1 1 0 E における読出ワード線 RWL [0] および読出ビット線 RBL [0] , RBL [1] の電位変化を示した図である。

【 0 1 6 6 】

メモリセル 1 E - 0 のデータを読み出す場合、行アドレス信号によって読出ワード線 RWL [0] を選択し、図 1 9 に示すように、読出ワード線 RWL [0] を H レベル（電源電位 VDD）にすることで読出ビット線 RBL [0] に所望のデータを読み出す。電源電位 VDD は、たとえば 1 . 0 V に設定される。

【 0 1 6 7 】

実施の形態 5 のメモリセルアレイ 1 1 0 E では、読出し動作時において、デー

タ読出し列の接地線GM[0]の電位レベルを制御するレベル制御信号CS[0]をHレベルに、データ非読出し列の接地線GM[1]の電位レベルを制御するレベル制御信号CS[1]をLレベルにそれぞれ設定する。これにより、接地線GM[0]の電位レベルは接地電位GNDとなり、接地線GM[1]の電位レベルは電源電位VDDまたはフローティングとなる。

【0168】

図20は、実施の形態5のメモリセルアレイ110Eにおける接地線GM[0]、GM[1]の電位変化を示した図である。

【0169】

読出し動作時において、レベル制御信号CS[0]、CS[1]をそれぞれHレベル、Lレベルと設定することにより、図20に示すように、データ読出し列（選択列）の接地線GM[0]における電位レベルは接地電位GNDとなり、データ非読出し列（非選択列）の接地線GM[1]における電位レベルは電源電位VDDまたはフローティングとなる。

【0170】

データ読出し列（選択列）の読出ビット線RBL[0]は、選択メモリセル1E-0における図18の記憶ノードN2の電位レベルがHレベルの場合、接地線GMと電氣的に接続される。その結果、図19に示すように、読出ビット線RBL[0]の電位レベルは、接地電位GNDに向かって下がっていく。ゆえに、読出ビット線RBL[0]にはLレベルのデータが読み出される。

【0171】

一方、データ非読出し列（非選択列）の読出ビット線RBL[1]は、読出ビット線RBL[1]および接地線GM[1]が共にHレベルであるため、図19に示すように、非選択メモリセル（たとえばメモリセル1E-1）における図18の記憶ノードN2の電位レベルにかかわらず、電源電位VDDの電位レベルを維持する。

【0172】

このように、実施の形態5のメモリセルアレイ110Eでは、読出し動作時においてデータ非読出し列（非選択列）の読出ビット線RBL[1]の電位レベル

が変化しないため、データ非読出し列における充放電電流が完全になくなり、消費電力の低減を図ることができる。

【0173】

以上のように、実施の形態5によれば、レベル制御信号に応じて接地線の電位を制御することにより、ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による消費電力を低減させることができる。

【0174】

なお、実施の形態5のようにレベル制御信号に応じて接地線の電位を制御するのは、実施の形態1～4に対しても適用することが可能である。

【0175】

〔実施の形態6〕

図21は、この発明の実施の形態6によるメモリセルアレイ110Fおよびその周辺の回路構成を示した回路図である。

【0176】

図21を参照して、実施の形態6のメモリセルアレイ110Fは、行列状に配置されたメモリセル1F-0, 1F-1, 1F-2, 1F-3と、行方向に配置された書込ワード線WWLA[0], WWLA[1], WWLB[0], WWLB[1]および読出ワード線RWL[0], RWL[1]と、列方向に配置された書込ビット線WBL[0], WBL[1]および読出ビット線RBL[0], RBL[1]とを含む。

【0177】

書込ワード線、読出ワード線、書込ビット線、および読出ビット線の各メモリセルに対する接続関係は、実施の形態1のメモリセルアレイ110Aと同様なので、ここでは説明を繰り返さない。

【0178】

実施の形態6のメモリセルアレイ110Fは、接地線GM[0], GM[1]を介して接地線レベル制御回路30Eに接続され、接地線GG[0], GG[1]を介して接地線レベル制御回路30Fに接続される。接地線GM[0], GG

[0] は、共にメモリセル 1 F - 0, 1 F - 2 に共通に接続される。接地線 GM [1], GG [1] は、共にメモリセル 1 F - 1, 1 F - 3 に共通に接続される。

【0 1 7 9】

接地線レベル制御回路 3 0 E の回路構成および動作は、実施の形態 5 の図 1 6, 1 7 において説明したので、ここでは説明を繰り返さない。

【0 1 8 0】

接地線レベル制御回路 3 0 F は、接地線 GG [0] に接続された N チャネル MOS トランジスタ 3 1 F, 3 2 F と、接地線 GG [1] に接続された N チャネル MOS トランジスタ 3 3 F, 3 4 F とを含む。N チャネル MOS トランジスタ 3 2 F は、接地線 GG [0] にダイオード接続される。N チャネル MOS トランジスタ 3 4 F は、接地線 GG [1] にダイオード接続される。

【0 1 8 1】

N チャネル MOS トランジスタ 3 1 F ~ 3 4 F は、いずれもソースに接地電位 GND が与えられる。N チャネル MOS トランジスタ 3 1 F, 3 3 F の各ゲートは、レベル制御信号 CS [0], CS [1] をそれぞれ受ける。レベル制御信号 CS [0], CS [1] は、列アドレス信号および読出制御信号に連動する。

【0 1 8 2】

接地線レベル制御回路 3 0 F は、レベル制御信号 CS [0] が H レベルのとき接地線 GG [0] の電位レベルを接地電位 GND とし、レベル制御信号 CS [0] が L レベルのとき接地線 GM [0] の電位レベルを V_{tn} (V_{tn} は N チャネル MOS トランジスタのゲート-ソース間電圧) とする。同様に、レベル制御信号 CS [1] が H レベルのとき接地線 GG [1] の電位レベルを接地電位 GND とし、レベル制御信号 CS [1] が L レベルのとき接地線 GM [1] の電位レベルを V_{tn} とする。

【0 1 8 3】

次に、メモリセル 1 F - 0, 1 F - 1, 1 F - 2, 1 F - 3 を代表したメモリセル 1 F の具体的な回路構成について説明する。ただし、メモリセル 1 F は、書込ワード線、読出ビット線などの制御線を含むものとして考える。

【0184】

図22は、この発明の実施の形態6によるメモリセル1Fの具体的な回路構成を示した回路図である。

【0185】

図22を参照して、実施の形態6のメモリセル1Fは、データ記憶部1000Fと、書込ポート2000Fと、読出ポート3000Fとを備える。データ記憶部1000Fは、インバータ2F、3Fを含む。なお、書込ポート2000Fは、実施の形態1の書込ポート2000Aと同一なので、ここでは説明を繰り返さない。また、読出ポート3000Fは、実施の形態5の読出ポート3000Eと同一なので、ここでは説明を繰り返さない。

【0186】

実施の形態6のデータ記憶部1000Fは、電源線の電位レベルが電源電位VDDに固定され、電位レベルが制御可能な接地線GGがインバータ2F、3Fに接続される点においてのみ、実施の形態1のデータ記憶部1000Aと異なる。

【0187】

次に、上記のようなメモリセル構成を有するメモリセル1F-0、1F-1、1F-2、1F-3を含むメモリセルアレイ110Fの動作について説明する。なお、実施の形態1と重複する部分については説明を繰り返さない。また、接地線レベル制御回路30Eによる接地線GM[0]、GM[1]の電位レベル制御は、実施の形態5において説明したので、ここでは説明を繰り返さない。

【0188】

図21を参照して、実施の形態6のメモリセルアレイ110Fでは、非読出し動作時、すなわち待機時または書込み動作時において、接地線GG[0]、GG[1]の電位レベルを制御するレベル制御信号CS[0]、CS[1]を共にLレベルに設定する。いま、図22のNチャネルMOSトランジスタ12、14はいずれか一方が常にオンしているため、接地線GG[0]、GG[1]には定常的に電流が流れ込む。このため、接地線GG[0]、GG[1]の電位レベルはともにV_{tn}となる。

【0189】

実施の形態 1 の図 5 において説明したように、MOS トランジスタのゲートリーク電流はゲート電圧（ゲートソース間電圧およびゲートドレイン間電圧の総称）に対して指数的に変化するため、ゲート電圧をわずかに落とすだけでゲートリーク電流は大幅に低減する。一方、接地線 $GG[0]$ 、 $GG[1]$ の電位レベルを接地電位 GND から一定電位だけ引き上げるのは、その引き上げられた電位レベルを基準に考えた場合、電源電位 VDD の電位レベルを一定電位だけ引き下げるのと等価である。

【0190】

したがって、図 21 を参照して、レベル制御信号 $CS[0]$ 、 $CS[1]$ を共に L レベルに設定して接地線 $GG[0]$ 、 $GG[1]$ の電位レベルを V_{tn} とすることにより、メモリセルアレイ 110F の非読出し動作時におけるゲートリーク電流を大幅に低減することができる。これにより、メモリセルアレイ 110F の非読出し動作時における消費電力を大幅に低減することが可能となる。

【0191】

次に、メモリセルアレイ 110F の読出し動作について説明する。以下では、メモリセル 1F-0 のデータを読み出す場合について、図 23 を参照しながら説明する。

【0192】

図 23 は、実施の形態 6 のメモリセルアレイ 110F における接地線 $GG[0]$ 、 $GG[1]$ の電位変化を示した図である。

【0193】

レベル制御信号 $CS[0]$ 、 $CS[1]$ をそれぞれ H レベル、L レベルと設定することにより、読出し動作時において、図 23 に示すように、データ読出し列（選択列）の接地線 $GG[0]$ における電位レベルは接地電位 GND となり、データ非読出し列（非選択列）の接地線 $GG[1]$ における電位レベルは V_{tn} となる。

【0194】

先述したように、接地線 $GG[0]$ 、 $GG[1]$ の電位レベルを接地電位 GND から一定電位だけ引き上げるのは、その引き上げられた電位レベルを基準に考

えた場合、電源電位 V_{DD} の電位レベルを一定電位だけ引き下げるのと等価である。

【0195】

したがって、実施の形態1の図8において説明したのと同じ理由により、データ読出し列（選択列）の読出ビット線 $RBL[0]$ は、読出し動作時において、電位レベルの低下幅が大きくなる。一方、データ非読出し列（非選択列）の読出ビット線 $RBL[1]$ は、読出し動作時において、電位レベルの低下幅が小さくなる。

【0196】

ゆえに、読出し動作時における電位レベルの低下幅が小さいデータ非読出し列の読出ビット線 $RBL[1]$ は、プリチャージ動作時において、少ない充電電流でHレベルに復帰することができる。

【0197】

このように、レベル制御信号 $CS[0]$, $CS[1]$ をそれぞれHレベル, Lレベルに設定して接地線 $GG[0]$, $GG[1]$ の電位をそれぞれ GND , V_{tn} とすることにより、メモリセルアレイ110Fの読出し動作時における消費電力を低減することが可能となる。

【0198】

読出し動作が完了すると、ゲートリーク電流による消費電力を低減するためにレベル制御信号 $CS[0]$ をLレベルに戻し、接地線 $GG[0]$ の電位レベルを接地電位 GND にドライブしていた図21のNチャネルMOSトランジスタ31Fをオフする。これにより、図23に示すように、接地線 $GG[0]$ の電位レベルは徐々に V_{tn} のレベルにまで上昇し、やがて安定する。

【0199】

以上のように、実施の形態6によれば、レベル制御信号に応じて接地線の電位を制御することにより、ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による消費電力を低減させることができる。

【0200】

なお、実施の形態 6 のようにレベル制御信号に応じて接地線の電位を制御するのは、実施の形態 1 ～ 4 に対しても適用することが可能である。

【0201】

〔実施の形態 7〕

実施の形態 1 ～ 6 では、マルチポート（一例として 2 ポート）のメモリセルから構成されるメモリセルアレイについて説明してきたが、実施の形態 7 では、シングルポートのメモリセルから構成されるメモリセルアレイについて説明する。

【0202】

図 24 は、この発明の実施の形態 7 によるメモリセルアレイ 110G およびその周辺の回路構成を示した回路図である。

【0203】

図 24 を参照して、実施の形態 7 のメモリセルアレイ 110G は、行列状に配置されたメモリセル 1G-0, 1G-1, 1G-2, 1G-3 と、行方向に配置されたワード線 WL [0], WL [1] と、列方向に配置されたビット線対 BL [0], /BL [0] および BL [1], /BL [1] とを含む。

【0204】

ワード線 WL [0] はメモリセル 1G-0, 1G-1 に共通に接続され、ワード線 WL [1] はメモリセル 1G-2, 1G-3 に共通に接続される。ビット線対 BL [0], /BL [0] はメモリセル 1G-0, 1G-2 に共通に接続され、ビット線対 BL [1], /BL [1] はメモリセル 1G-1, 1G-3 に共通に接続される。

【0205】

実施の形態 7 のメモリセルアレイ 110G は、電源線 VM [0], VM [1] を介して電源線レベル制御回路 20A に接続され、接地線 GG [0], GG [1] を介して接地線レベル制御回路 30F に接続される。電源線 VM [0] および接地線 GG [0] は、メモリセル 1G-0, 1G-2 に共通に接続される。電源線 VM [1] および接地線 GG [1] は、メモリセル 1G-1, 1G-3 に共通に接続される。

【0206】

電源線レベル制御回路 20A の回路構成および動作は、実施の形態 1 の図 2 において説明したので、ここでは説明を繰り返さない。また、接地線レベル制御回路 30F の回路構成および動作は、実施の形態 6 の図 21 において説明したので、ここでは説明を繰り返さない。

【0207】

次に、メモリセル 1G-0, 1G-1, 1G-2, 1G-3 を代表したメモリセル 1G の具体的な回路構成について説明する。ただし、メモリセル 1G は、ワード線、ビット線などの制御線を含むものとして考える。

【0208】

図 25 は、この発明の実施の形態 7 によるメモリセル 1G の具体的な回路構成を示した回路図である。

【0209】

図 25 に示した実施の形態 7 のメモリセル 1G は、シングルポートのメモリセル構成を有する。メモリセル 1G は、データ記憶部 1000G と、書込／読出ポート 2000G とを備える。データ記憶部 1000G は、インバータ 2G, 3G を含む。

【0210】

実施の形態 7 のデータ記憶部 1000G は、電位レベルが制御可能な接地線 GG がインバータ 2G, 3G に接続される点においてのみ、実施の形態 1 のデータ記憶部 1000A と異なる。すなわち、実施の形態 7 のデータ記憶部 1000G は、電源線 VM および接地線 GG の双方の電位レベルを制御することが可能である。

【0211】

書込／読出ポート 2000G は、Nチャネル MOS トランジスタ 7, 8 と、ワード線 WL と、ビット線対 BL, /BL とを含む。Nチャネル MOS トランジスタ 7 は、ソースが記憶ノード N1 に接続され、ゲートがワード線 WL に接続され、ドレインがビット線 /BL に接続される。Nチャネル MOS トランジスタ 8 は、ソースが記憶ノード N2 に接続され、ゲートがワード線 WL に接続され、ドレインがビット線 BL に接続される。

【0212】

次に、上記のようなメモリセル構成を有するメモリセル 1G-0, 1G-1, 1G-2, 1G-3 を含むメモリセルアレイ 110G の動作について説明する。なお、実施の形態 1 と重複する部分については説明を繰り返さない。

【0213】

図 24 を参照して、実施の形態 7 のメモリセルアレイ 110G では、非読出し動作時、すなわち待機時または書込み動作時において、レベル制御信号 $\neg CS[0]$, $\neg CS[1]$ を共に H レベルに設定する（レベル制御信号 $CS[0]$, $CS[1]$ を共に L レベルに設定する）。これにより、電源線 $VM[0]$, $VM[1]$ の電位レベルは $VDD - V_{tp}$ となり、接地線 $GG[0]$, $GG[1]$ の電位レベルは V_{tn} となる。

【0214】

その結果、メモリセルアレイ 110G の非読出し動作時におけるゲートリーク電流を大幅に低減することができる。これにより、メモリセルアレイ 110G の非読出し動作時における消費電力を大幅に低減することが可能となる。

【0215】

次に、メモリセルアレイ 110G の読出し動作について説明する。以下では、メモリセル 1G-0 のデータを読み出す場合について、図 26, 27 を参照しながら説明する。

【0216】

図 26 は、実施の形態 7 のメモリセルアレイ 110G におけるワード線 $WL[0]$ 、ビット線対 $BL[0]$, $\neg BL[0]$ およびビット線対 $BL[1]$, $\neg BL[1]$ の電位変化を示した図である。

【0217】

実施の形態 7 のメモリセルアレイ 110G のようにシングルポートのメモリセルから構成されるメモリセルアレイの場合、ビット線対 BL , $\neg BL$ が各列に配置され、ビット線対 BL , $\neg BL$ の一方の電位が下がったことを検知して H レベルまたは L レベルのデータを読み出す差動型のメモリセルアレイ動作が一般的である。

【0218】

実施の形態7のメモリセルアレイ110Gでは、メモリセル1G-0のデータを読み出す場合、行アドレス信号によってワード線WL[0]を選択し、図26に示すように、ワード線WL[0]をHレベル（電源電位VDD）にする。これにより、図26に示すように、ビット線対BL[0]、 \neg BL[0]のうちビット線BL[0]の電位が下がり、所望のデータが読み出される。電源電位VDDは、たとえば1.0Vに設定される。

【0219】

ただし、図24に示すように、ワード線WL[0]は、同一行で非読出し列のメモリセルであるメモリセル1G-1にも接続している。そのため、メモリセル1G-0のデータがビット線対BL[0]、 \neg BL[0]に読み出されるのと同時に、メモリセル1G-1のデータがビット線対BL[1]、 \neg BL[1]に読み出される。

【0220】

実施の形態7のメモリセルアレイ110Gでは、同時に読み出されたメモリセル1G-0、1G-1の各データは図示しないセクタ回路に入力され、列アドレス信号によって指定された一方のビット線対のデータを選択することにより所望のデータが読み出される。

【0221】

実施の形態1において説明したように、データ読出し列のビット線BL[0]は、読出し動作の高速化のため、電位レベルが速く変動することが望ましい。一方、データ非読出し列のビット線BL[1]は、充放電電流を抑えて消費電力を低減するため、電位レベルは変化しないことが望ましい。

【0222】

そこで、実施の形態7のメモリセルアレイ110Gでは、読出し動作時において、データ読出し列の電源線VM[0]の電位レベルを制御するレベル制御信号 \neg CS[0]をLレベルに、データ非読出し列の電源線VM[1]の電位レベルを制御するレベル制御信号 \neg CS[1]をHレベルにそれぞれ設定する。これにより、データ読出し列の接地線GG[0]の電位レベルを制御するレベル制御信

号CS [0] はHレベルとなり、データ非読出し列の接地線GG [1] の電位レベルを制御するレベル制御信号CS [1] はLレベルとなる。

【0223】

図27は、実施の形態7のメモリセルアレイ110Gにおける電源線VM [0] , VM [1] および接地線GG [0] , GG [1] の電位変化を示した図である。

【0224】

レベル制御信号／CS [0] , /CS [1] をそれぞれLレベル, Hレベルと設定することにより、読出し動作時において、図27に示すように、データ読出し列（選択列）の電源線VM [0] における電位レベルは電源電位VDDとなり、データ非読出し列（非選択列）の電源線VM [1] における電位レベルはVDD-Vtp（VtpはPチャネルMOSトランジスタのゲートソース間電圧）となる。

【0225】

また、レベル制御信号CS [0] , CS [1] はそれぞれHレベル, Lレベルとなるので、読出し動作時において、図27に示すように、データ読出し列（選択列）の接地線GG [0] における電位レベルは接地電位GNDとなり、データ非読出し列（非選択列）の接地線GG [1] における電位レベルはVtn（VtnはNチャネルMOSトランジスタのゲートソース間電圧）となる。

【0226】

先述したように、接地線GG [0] , GG [1] の電位レベルを接地電位GNDから一定電位だけ引き上げるのは、電源電位VDDの電位レベルを一定電位だけ引き下げるのと等価である。ここでは、接地線GG [0] , GG [1] の電位レベル制御について特に詳しく説明する。

【0227】

読出し動作時において、選択メモリセル1G-0における図25の接地線GGの電位レベルは接地電位はGNDとなり、図25のNチャネルMOSトランジスタ12, 14のいずれか一方のゲートソース間には電源電位VDDの電圧がかかる。一般に、ゲートソース間電圧が高いほど、MOSトランジスタの駆動能

力は高くなるため、データ読出し列のビット線BL[0]のデータは速く引き抜かれる。

【0228】

その結果、図26を参照して、データ読出し列（選択列）のビット線BL[0]は、読出し動作時において、電位レベルの低下幅が大きくなる。

【0229】

一方、非選択メモリセル1G-1における図25の接地線GGの電位レベルは V_{tn} となり、図25のNチャネルMOSトランジスタ12, 14のいずれか一方のゲートソース間には電源電位 $V_{DD}-V_{tn}$ の電圧がかかる。非選択メモリセル1G-1は、NチャネルMOSトランジスタ12, 14のいずれか一方のゲートソース間電圧が選択メモリセル1G-0に比べて低いので、データ非読出し列のビット線BL[1]のデータはゆっくり引き抜かれる。

【0230】

その結果、図26を参照して、データ非読出し列（非選択列）のビット線BL[1]は、読出し動作時において、電位レベルの低下幅が小さくなる。

【0231】

ビット線BL[0]の電位変化がデータ出力に伝わって読出し動作が完了すると、図26に示すように、ビット線BL[0], BL[1]の電位レベルはプリチャージされて再びHレベルに戻る。

【0232】

このとき、読出し動作時における電位レベルの低下幅が小さいデータ非読出し列のビット線BL[1]は、プリチャージ動作時において、少ない充電電流でHレベルに復帰することができる。

【0233】

また、非選択メモリセル1G-1においてオンしているMOSトランジスタのゲートソース間電圧は電源電位 V_{DD} より低くなるので、当該MOSトランジスタにおけるリーク電流を低減することができる。

【0234】

ところで、非選択メモリセル1G-1における図25の接地線GGの電位レベ

ルは V_{tn} であって、接地電位 GND から浮いている。そのため、非選択メモリセル $1G-1$ における N チャネル MOS トランジスタの基板電位が接地電位 GND の場合には、当該 N チャネル MOS トランジスタの基板－ソース間に V_{tn} 電位の逆バイアスがかかる。

【0235】

その結果、非選択メモリセル $1G-1$ における N チャネル MOS トランジスタのしきい値電圧が高くなり、当該 N チャネル MOS トランジスタのソース－ドレイン間におけるリーク電流を低減することができる。

【0236】

同様に、非選択メモリセル $1G-1$ における図25の電源線 VM の電位レベルは $VDD-V_{tp}$ であるため、非選択メモリセル $1G-1$ における P チャネル MOS トランジスタの基板－ソース間には V_{tp} 電位の逆バイアスがかかる。

【0237】

その結果、非選択メモリセル $1G-1$ における P チャネル MOS トランジスタのしきい値電圧が高くなり、当該 P チャネル MOS トランジスタのソース－ドレイン間におけるリーク電流を低減することができる。

【0238】

以上のように、実施の形態7によれば、レベル制御信号に応じて電源線および接地線の電位を制御することにより、ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による消費電力を低減させることができる。

【0239】

なお、実施の形態7では、シングルポートのメモリセル構成を有するメモリセルアレイに対し、電源線 VM および接地線 GG の両方を列単位で制御する場合について説明したが、電源線 VM のみ、または接地線 GG のみを制御することも可能である。

【0240】

〔実施の形態8〕

実施の形態1～7では、メモリセルアレイおよびその周辺回路、またはメモリ

セルアレイについて説明してきたが、実施の形態 8 では、実施の形態 1, 2, 5, 7 における電源線レベル制御回路の一例について説明する。

【0241】

図 28 は、この発明の実施の形態 8 による電源線レベル制御回路 20 の回路構成を示した回路図である。

【0242】

図 28 を参照して、実施の形態 8 の電源線レベル制御回路 20 は、列ごとに設けられる電源線レベル切替回路 200-0, 200-1 を含む。電源線レベル切替回路 200-0 は、保持テスト制御信号 RT、冗長置換制御信号 KILL [0]、保持電位設定信号 DCL0, DCL1, DCL2、およびレベル制御信号 CS [0] を受けて、電源線 VM [0] の電位レベルを制御する。電源線レベル切替回路 200-1 は、保持テスト制御信号 RT、冗長置換制御信号 KILL [1]、保持電位設定信号 DCL0, DCL1, DCL2、およびレベル制御信号 CS [1] を受けて、電源線 VM [1] の電位レベルを制御する。次に、電源線レベル切替回路 200-0, 200-1 を代表した電源線レベル切替回路 200 の具体的な回路構成について説明する。

【0243】

図 29 は、この発明の実施の形態 8 による電源線レベル切替回路 200 の具体的な回路構成を示した回路図である。

【0244】

図 29 を参照して、実施の形態 8 の電源線レベル切替回路 200 は、レベル制御信号 CS および冗長置換制御信号 KILL を受ける NAND 回路 201 と、ドレインが電源線 VM に接続された P チャネル MOS トランジスタ 202 ~ 204, 206, 209 と、ダイオード接続された P チャネル MOS トランジスタ 205, 207, 208 とを有する。

【0245】

P チャネル MOS トランジスタ 202, 203, 209 は、ソースが電源ノード VDD に接続される。P チャネル MOS トランジスタ 202 は、ゲートに NAND 回路 201 の出力を受ける。P チャネル MOS トランジスタ 203 は、ゲート

トに保持電位設定信号DCL0を受ける。PチャネルMOSトランジスタ209は、ゲートに保持テスト制御信号RTを受ける。

【0246】

PチャネルMOSトランジスタ204, 205は、電源ノードVDDと電源線VMとの間に直列接続される。PチャネルMOSトランジスタ204は、ゲートに保持電位設定信号DCL1を受ける。PチャネルMOSトランジスタ206, 207, 208は、電源ノードVDDと電源線VMとの間に直列接続される。PチャネルMOSトランジスタ206は、ゲートに保持電位設定信号DCL2を受ける。

【0247】

図30は、この発明の実施の形態8による電源線レベル切替回路200の動作を説明するための図である。

【0248】

まず、列選択信号でもあるレベル制御信号CSがHレベルの場合、すなわち、列が選択されてアクセスされるアクセス時の場合について説明する。このとき、冗長置換制御信号KILLはHレベルとなる。これは、選択した列が不良セルを含まず正常に動作していることを意味する。したがって、この列は、スペア列に置換されることなく、実際にアクセスされる列となる。なお、保持テスト制御信号RTおよび保持電位設定信号DCL0, DCL1, DCL2は、アクセス時において、HレベルでもLレベルでもよい。図30では、HレベルでもLレベルでもよい状態を「X」で表わしている。

【0249】

図29を参照して、レベル制御信号CSおよび冗長置換制御信号KILLがともにHレベルのとき、NAND回路201はLレベルの信号を出力する。これを受けて、PチャネルMOSトランジスタ202がオンし、図30にも示すように、電源線VMの電位レベルは電源電位VDDとなる。

【0250】

次に、図30に戻って、列選択信号でもあるレベル制御信号CSがLレベルの場合、すなわち、列が選択されずアクセスされない非アクセス時の場合について

説明する。このとき、保持テスト制御信号 R T は H レベルとなる。また、保持電位設定信号 D C L 0, D C L 1, D C L 2 は、いずれか 1 つの信号が L レベルに設定され、その他 2 つの信号は H レベルに設定される。なお、冗長置換制御信号 K I L L は、H レベルであっても L レベルであってもよい。

【0251】

図 29 を参照して、レベル制御信号 C S が L レベルのとき、NAND 回路 201 は、冗長置換制御信号 K I L L の H レベル / L レベルに関係なく、L レベルの信号を出力する。これを受けて、P チャネル MOS トランジスタ 202 はオフする。また、保持テスト制御信号 R T が H レベルであることから、P チャネル MOS トランジスタ 209 もオフとなる。

【0252】

非アクセス時において、保持電位設定信号 D C L 2 が L レベルで、保持電位設定信号 D C L 0, D C L 1 が H レベルのとき、P チャネル MOS トランジスタ 203, 204, 206 のうち、P チャネル MOS トランジスタ 206 のみがオンし、P チャネル MOS トランジスタ 203, 204 はオフする。これにより、図 30 にも示すように、電源線 V M の電位レベルは $V_{DD} - 2V_{tp}$ (V_{tp} は P チャネル MOS トランジスタのゲート-ソース間電圧) となる。

【0253】

非アクセス時において、保持電位設定信号 D C L 1 が L レベルで、保持電位設定信号 D C L 0, D C L 2 が H レベルのとき、P チャネル MOS トランジスタ 203, 204, 206 のうち、P チャネル MOS トランジスタ 204 のみがオンし、P チャネル MOS トランジスタ 203, 206 はオフする。これにより、図 30 にも示すように、電源線 V M の電位レベルは $V_{DD} - V_{tp}$ となる。

【0254】

非アクセス時において、保持電位設定信号 D C L 0 が L レベルで、保持電位設定信号 D C L 1, D C L 2 が H レベルのとき、P チャネル MOS トランジスタ 203, 204, 206 のうち、P チャネル MOS トランジスタ 203 のみがオンし、P チャネル MOS トランジスタ 204, 206 はオフする。これにより、図 30 にも示すように、電源線 V M の電位レベルは電源電位 V_{DD} となる。

【0255】

このように、電源線レベル切替回路200は、保持電位設定信号DCL0, DCL1, DCL2のHレベル/Lレベルの組み合わせを変えることにより、非アクセス時において、電源線VMの電位レベルを切り替えることができる。電源線VMの電位レベルを切替可能とすることによって、電源電位VDDの値が変動した場合にも、柔軟に対処することが可能となる。

【0256】

たとえば、電源電位VDDが所定値より低くなった場合、非アクセス時に電源線VMの電位レベルを $VDD - 2V_{tp}$ にまで下げると、電源線VMの電位レベルが低くなりすぎて、電源線VMに接続されるメモリセルのデータが正しく保持されない可能性がある。そのような場合に、電源線VMの電位レベルをたとえば $VDD - V_{tp}$ に切り替えることによって、メモリセルのデータを正しく保持できるようになる。また、電源線VMの電位レベルを $VDD - V_{tp}$ に切り替えてもなお電源線VMの電位レベルが低すぎる場合には、電源線VMの電位レベルを電源電位VDDに切り替えればよい。

【0257】

次に、図30に戻って、冗長置換時の場合について説明する。このとき、冗長置換制御信号KILLはLレベルとなる。これは、選択した列が不良セルを含んでいて正常に動作しないことを意味する。したがって、この列は、スペア列に置換され、実際にアクセスされることはない。このとき、保持テスト制御信号RTおよび保持電位設定信号DCL0, DCL1, DCL2は、いずれもHレベルとなる。なお、レベル制御信号CSは、冗長選択時において、HレベルでもLレベルでもよい。

【0258】

図29を参照して、冗長置換制御信号KILLがLレベルのとき、NAND回路201は、レベル制御信号CSのHレベル/Lレベルに関係なく、Lレベルの信号を出力する。これを受けて、PチャネルMOSトランジスタ202はオフする。また、保持テスト制御信号RTおよび保持電位設定信号DCL0, DCL1, DCL2がいずれもHレベルであることから、PチャネルMOSトランジスタ

203, 204, 206, 209もすべてオフとなる。これらの結果、図30にも示すように、電源線VMは高インピーダンス (Hi-Z) のフローティングとなる。

【0259】

冗長選択時では、選択した列が実際にアクセスされることはないものの、この列がたとえばショートのような不良を有する場合、この列でのリーク電流が異常に大きくなる可能性がある。冗長選択時において電源線VMをフローティングとすることにより、このような異常リーク電流を抑制することが可能となる。

【0260】

次に、図30に戻って、保持テスト時の場合について説明する。保持テスト (リテンションテスト) とは、メモリセルのデータ保持特性をテストするモードであって、通常の動作状態では使用しないモードである。このとき、保持テスト制御信号RTおよびレベル制御信号CSは、ともにLレベルとなる。また、保持電位設定信号DCL0, DCL1, DCL2は、いずれもHレベルとなる。なお、冗長置換制御信号KILLは、保持テスト時において、HレベルでもLレベルでもよい。

【0261】

図29を参照して、レベル制御信号CSがLレベルのとき、NAND回路201は、冗長置換制御信号KILLのHレベル/Lレベルに関係なく、Lレベルの信号を出力する。これを受けて、PチャネルMOSトランジスタ202はオフする。また、保持電位設定信号DCL0, DCL1, DCL2がいずれもHレベルであることから、PチャネルMOSトランジスタ203, 204, 206はいずれもオフとなる。

【0262】

一方、保持テスト制御信号RTはLレベルであることから、PチャネルMOSトランジスタ209はオンとなる。PチャネルMOSトランジスタ209は、ドライブ能力を十分小さくしておく。ただし、電源線VMに接続されるメモリセルが不良メモリセルを含まない場合において、メモリセルが記憶データを正しく保持するのに必要なドライブ能力は維持する。

【0263】

いま、電源線VMに接続されるメモリセルの中で、リーク電流の大きなメモリセルが存在する場合を考える。通常の動作テストでは、メモリセルへのアクセスが行なわれる際、PチャネルMOSトランジスタ202がオンする。これにより、リーク電流の大きなメモリセルが存在する場合でも、PチャネルMOSトランジスタ202のドライブ能力により、このメモリセルの読出し／書込みが正常に行なわれてしまう場合がある。そのため、これまでの通常の動作テストでは、リーク電流の大きなメモリセルを判定して、冗長置換により救済することができない場合があった。

【0264】

この発明の保持テストでは、PチャネルMOSトランジスタ202をオフとし、オンとなるPチャネルMOSトランジスタ209のドライブ能力を十分小さくしている。そのため、リーク電流の大きなメモリセルが存在する場合には、このメモリセルの影響により電源線VMの電位レベルが低下する。これにより、電源線VMに接続されているメモリセルはデータを正しく保持することができなくなり、保持テストの結果は不良（フェイル）となる。この不良結果を元に不良メモリセルをスペア列に置換することで、異常リーク電流をなくすことができる。

【0265】

以上のように、実施の形態8によれば、電源線レベル制御回路に入力される各種制御信号の設定をメモリセルアレイの動作モードに応じて変えることにより、電源線の電位レベルをメモリセルアレイの動作モードごとに最適に設定することができる。

【0266】**[実施の形態9]**

実施の形態9では、実施の形態5、6、7における接地線レベル制御回路の一例について説明する。

【0267】

図31は、この発明の実施の形態9による接地線レベル制御回路30の回路構成を示した回路図である。

【0268】

図31を参照して、実施の形態9の接地線レベル制御回路30は、列ごとに設けられる接地線レベル切替回路300-0, 300-1を含む。接地線レベル切替回路300-0は、保持テスト制御信号/RT、冗長置換制御信号/KILL[0]、保持電位設定信号/DCL0, /DCL1, /DCL2、およびレベル制御信号/CS[0]を受けて、接地線GG[0]の電位レベルを制御する。接地線レベル切替回路300-1は、保持テスト制御信号/RT、冗長置換制御信号/KILL[1]、保持電位設定信号/DCL0, /DCL1, /DCL2、およびレベル制御信号/CS[1]を受けて、接地線GG[1]の電位レベルを制御する。次に、接地線レベル切替回路300-0, 300-1を代表した接地線レベル切替回路300の具体的な回路構成について説明する。

【0269】

図32は、この発明の実施の形態9による接地線レベル切替回路300の具体的な回路構成を示した回路図である。

【0270】

図32を参照して、実施の形態9の接地線レベル切替回路300は、レベル制御信号/CSおよび冗長置換制御信号/KILLを受けるNOR回路301と、ドレインが接地線GGに接続されたNチャネルMOSトランジスタ302~304, 306, 309と、ダイオード接続されたNチャネルMOSトランジスタ305, 307, 308とを有する。

【0271】

NチャネルMOSトランジスタ302, 303, 309は、ソースが接地ノードGNDに接続される。NチャネルMOSトランジスタ302は、ゲートにNOR回路301の出力を受ける。NチャネルMOSトランジスタ303は、ゲートに保持電位設定信号/DCL0を受ける。NチャネルMOSトランジスタ309は、ゲートに保持テスト制御信号/RTを受ける。

【0272】

NチャネルMOSトランジスタ304, 305は、接地ノードGNDと接地線GGとの間に直列接続される。NチャネルMOSトランジスタ304は、ゲート

に保持電位設定信号／DCL1を受ける。NチャネルMOSトランジスタ306, 307, 308は、接地ノードGNDと接地線GGとの間に直列接続される。NチャネルMOSトランジスタ306は、ゲートに保持電位設定信号／DCL2を受ける。

【0273】

図33は、この発明の実施の形態9による接地線レベル切替回路300の動作を説明するための図である。

【0274】

まず、列選択信号でもあるレベル制御信号／CSがLレベルの場合、すなわち、列が選択されてアクセスされるアクセス時の場合について説明する。このとき、冗長置換制御信号／KILLはLレベルとなる。これは、選択した列が不良セルを含まず正常に動作していることを意味する。したがって、この列は、スペア列に置換されることなく、実際にアクセスされる列となる。なお、保持テスト制御信号／RTおよび保持電位設定信号／DCL0, /DCL1, /DCL2は、アクセス時において、HレベルでもLレベルでもよい。図33では、HレベルでもLレベルでもよい状態を「X」で表わしている。

【0275】

図32を参照して、レベル制御信号／CSおよび冗長置換制御信号／KILLがともにLレベルのとき、NOR回路301はHレベルの信号を出力する。これを受けて、NチャネルMOSトランジスタ302がオンし、図33にも示すように、接地線GGの電位レベルは接地電位GNDとなる。

【0276】

次に、図33に戻って、列選択信号でもあるレベル制御信号／CSがHレベルの場合、すなわち、列が選択されずアクセスされない非アクセス時の場合について説明する。このとき、保持テスト制御信号／RTはLレベルとなる。また、保持電位設定信号／DCL0, /DCL1, /DCL2は、いずれか1つの信号がHレベルに設定され、その他2つの信号はLレベルに設定される。なお、冗長置換制御信号／KILLは、HレベルであってもLレベルであってもよい。

【0277】

図 3 2 を参照して、レベル制御信号／CS が H レベルのとき、NOR 回路 3 0 1 は、冗長置換制御信号／KILL の H レベル／L レベルに関係なく、L レベルの信号を出力する。これを受けて、N チャネル MOS トランジスタ 3 0 2 はオフする。また、保持テスト制御信号／RT が L レベルであることから、N チャネル MOS トランジスタ 3 0 9 もオフとなる。

【0278】

非アクセス時において、保持電位設定信号／DCL 2 が H レベルで、保持電位設定信号／DCL 0，／DCL 1 が L レベルのとき、N チャネル MOS トランジスタ 3 0 3，3 0 4，3 0 6 のうち、N チャネル MOS トランジスタ 3 0 6 のみがオンし、N チャネル MOS トランジスタ 3 0 3，3 0 4 はオフする。これにより、図 3 3 にも示すように、接地線 GG の電位レベルは $GND + 2V_{tn}$ (V_{tn} は N チャネル MOS トランジスタのゲートソース間電圧) となる。

【0279】

非アクセス時において、保持電位設定信号／DCL 1 が H レベルで、保持電位設定信号／DCL 0，／DCL 2 が L レベルのとき、N チャネル MOS トランジスタ 3 0 3，3 0 4，3 0 6 のうち、N チャネル MOS トランジスタ 3 0 4 のみがオンし、N チャネル MOS トランジスタ 3 0 3，3 0 6 はオフする。これにより、図 3 3 にも示すように、接地線 GG の電位レベルは $GND + V_{tn}$ となる。

【0280】

非アクセス時において、保持電位設定信号／DCL 0 が H レベルで、保持電位設定信号／DCL 1，／DCL 2 が L レベルのとき、N チャネル MOS トランジスタ 3 0 3，3 0 4，3 0 6 のうち、N チャネル MOS トランジスタ 3 0 3 のみがオンし、N チャネル MOS トランジスタ 3 0 4，3 0 6 はオフする。これにより、図 3 3 にも示すように、接地線 GG の電位レベルは接地電位 GND となる。

【0281】

このように、接地線レベル切替回路 3 0 0 は、保持電位設定信号／DCL 0，／DCL 1，／DCL 2 の H レベル／L レベルの組み合わせを変えることにより、非アクセス時において、接地線 GG の電位レベルを切り替えることができる。接地線 GG の電位レベルを切替可能とすることによって、接地電位 GND の値が

変動した場合にも、柔軟に対処することが可能となる。

【0282】

たとえば、接地電位 GND が所定値より高くなった場合、非アクセス時に接地線 GG の電位レベルを $GND + 2V_{tn}$ にまで上げると、接地線 GG の電位レベルが高くなりすぎて、接地線 GG に接続されるメモリセルのデータが正しく保持されない可能性がある。そのような場合に、接地線 GG の電位レベルをたとえば $GND + V_{tn}$ に切り替えることによって、メモリセルのデータを正しく保持できるようになる。また、接地線 GG の電位レベルを $GND + V_{tn}$ に切り替えてもなお接地線 GG の電位レベルが高すぎる場合には、接地線 GG の電位レベルを接地電位 GND に切り替えればよい。

【0283】

次に、図 33 に戻って、冗長置換時の場合について説明する。このとき、冗長置換制御信号 $/KILL$ は H レベルとなる。これは、選択した列が不良セルを含んでいて正常に動作しないことを意味する。したがって、この列は、スペア列に置換され、実際にアクセスされることはない。このとき、保持テスト制御信号 $/RT$ および保持電位設定信号 $/DCL0$, $/DCL1$, $/DCL2$ は、いずれも L レベルとなる。なお、レベル制御信号 $/CS$ は、冗長選択時において、 H レベルでも L レベルでもよい。

【0284】

図 32 を参照して、冗長置換制御信号 $/KILL$ が H レベルのとき、 NOR 回路 301 は、レベル制御信号 $/CS$ の H レベル/ L レベルに関係なく、 L レベルの信号を出力する。これを受けて、 N チャネル MOS トランジスタ 302 はオフする。また、保持テスト制御信号 $/RT$ および保持電位設定信号 $/DCL0$, $/DCL1$, $/DCL2$ がいずれも L レベルであることから、 N チャネル MOS トランジスタ 303, 304, 306, 309 もすべてオフとなる。これらの結果、図 33 にも示すように、接地線 GG は高インピーダンス ($Hi-Z$) のフローティングとなる。

【0285】

冗長選択時では、選択した列が実際にアクセスされることはないものの、この

列がたとえばショートのような不良を有する場合、この列でのリーク電流が異常に大きくなる可能性がある。冗長選択時において接地線 G G をフローティングとすることにより、このような異常リーク電流を抑制することが可能となる。

【0286】

次に、図 33 に戻って、保持テスト時の場合について説明する。保持テスト（リテンションテスト）とは、メモリセルのデータ保持特性をテストするモードであって、通常の動作状態では使用しないモードである。このとき、保持テスト制御信号／RT およびレベル制御信号／CS は、ともに H レベルとなる。また、保持電位設定信号／DCL0，／DCL1，／DCL2 は、いずれも L レベルとなる。なお、冗長置換制御信号／KILL は、保持テスト時において、H レベルでも L レベルでもよい。

【0287】

図 32 を参照して、レベル制御信号／CS が H レベルのとき、NOR 回路 301 は、冗長置換制御信号／KILL の H レベル／L レベルに関係なく、L レベルの信号を出力する。これを受けて、N チャネル MOS トランジスタ 302 はオフする。また、保持電位設定信号／DCL0，／DCL1，／DCL2 がいずれも L レベルであることから、N チャネル MOS トランジスタ 303，304，306 はいずれもオフとなる。

【0288】

一方、保持テスト制御信号／RT は H レベルであることから、N チャネル MOS トランジスタ 309 はオンとなる。N チャネル MOS トランジスタ 309 は、ドライブ能力を十分小さくしておく。ただし、接地線 G G に接続されるメモリセルが不良メモリセルを含まない場合において、メモリセルが記憶データを正しく保持するのに必要なドライブ能力は維持する。

【0289】

いま、接地線 G G に接続されるメモリセルの中で、リーク電流の大きなメモリセルが存在する場合を考える。通常の動作テストでは、メモリセルへのアクセスが行なわれる際、N チャネル MOS トランジスタ 302 がオンする。これにより、リーク電流の大きなメモリセルが存在する場合でも、N チャネル MOS トラン

ジスタ 3 0 2 のドライブ能力により、このメモリセルの読出し／書込みが正常に行なわれてしまう場合がある。そのため、これまでの通常の動作テストでは、リーク電流の大きなメモリセルを判定して、冗長置換により救済することができない場合があった。

【 0 2 9 0 】

この発明の保持テストでは、NチャネルMOSトランジスタ 3 0 2 をオフとし、オンとなるNチャネルMOSトランジスタ 3 0 9 のドライブ能力を十分小さくしている。そのため、リーク電流の大きなメモリセルが存在する場合には、このメモリセルの影響により接地線 G G の電位レベルが低下する。これにより、接地線 G G に接続されているメモリセルはデータを正しく保持することができなくなり、保持テストの結果は不良（フェイル）となる。この不良結果を元に不良メモリセルをスペア列に置換することで、異常リーク電流をなくすることができる。

【 0 2 9 1 】

以上のように、実施の形態 9 によれば、接地線レベル制御回路に入力される各種制御信号の設定をメモリセルアレイの動作モードに応じて変えることにより、接地線の電位レベルをメモリセルアレイの動作モードごとに最適に設定することができる。

【 0 2 9 2 】

〔実施の形態 1 0〕

実施の形態 1 0 では、実施の形態 8，9 で説明した保持電位設定信号 D C L 0，D C L 1，D C L 2 の論理レベルを電源電位 V C C の高低に応じて制御する設定信号制御回路について説明する。

【 0 2 9 3 】

図 3 4 は、この発明の実施の形態 1 0 による設定信号制御回路 5 0 0 の回路構成を示した回路図である。

【 0 2 9 4 】

図 3 4 を参照して、実施の形態 1 0 の設定信号制御回路 5 0 0 は、電位レベル調整回路 5 1 0 a，5 1 0 b と、トランスファゲート 5 2 0 a，5 2 0 b と、ラッチ回路 5 3 0 a，5 3 0 b と、NAND 回路 5 4 1，5 4 3，5 4 5 と、イン

バータ 542, 544 とを含む。

【0295】

電位レベル調整回路 510 a は、ダイオード接続された P チャネル MOS トランジスタ 511 と、ノード N11 に接続された P チャネル MOS トランジスタ 512 および N チャネル MOS トランジスタ 513 とを有する。P チャネル MOS トランジスタ 511, 512 および N チャネル MOS トランジスタ 513 は、電源ノード VDD と接地ノード GND との間に直列接続される。また、P チャネル MOS トランジスタ 512 および N チャネル MOS トランジスタ 513 は、ゲートにクロック信号 CLK を受ける。

【0296】

電位レベル調整回路 510 a は、クロック信号 CLK が L レベルのとき、P チャネル MOS トランジスタ 512 がオンし、N チャネル MOS トランジスタ 513 がオフとなる。その結果、ノード N11 の電位レベルは、 $VDD - V_{tp}$ (V_{tp} は P チャネル MOS トランジスタのゲート-ソース間電圧) となる。一方、クロック信号 CLK が H レベルのときには、P チャネル MOS トランジスタ 512 がオフし、N チャネル MOS トランジスタ 513 がオンとなる。その結果、ノード N11 の電位レベルは、接地電位 GND となる。

【0297】

電位レベル調整回路 510 b は、ダイオード接続された P チャネル MOS トランジスタ 514, 515 と、ノード N11 に接続された P チャネル MOS トランジスタ 516 および N チャネル MOS トランジスタ 517 とを有する。P チャネル MOS トランジスタ 514, 515, 516 および N チャネル MOS トランジスタ 517 は、電源ノード VDD と接地ノード GND との間に直列接続される。また、P チャネル MOS トランジスタ 516 および N チャネル MOS トランジスタ 517 は、ゲートにクロック信号 CLK を受ける。

【0298】

電位レベル調整回路 510 b は、クロック信号 CLK が L レベルのとき、P チャネル MOS トランジスタ 516 がオンし、N チャネル MOS トランジスタ 517 がオフとなる。その結果、ノード N21 の電位レベルは、 $VDD - 2V_{tp}$ と

なる。一方、クロック信号CLKがHレベルのときには、PチャネルMOSトランジスタ516がオフし、NチャネルMOSトランジスタ517がオンとなる。その結果、ノードN21の電位レベルは、接地電位GNDとなる。

【0299】

トランスファゲート520aは、ノードN11に接続される。トランスファゲート520aは、クロック信号CLKがLレベルのとき、電位レベル調整回路510aから入力される電位レベル $V_{DD}-V_{tp}$ の入力信号を導通する。一方、クロック信号CLKがHレベルのときには、電位レベル調整回路510aから入力される接地電位GNDの入力信号を遮断する。

【0300】

トランスファゲート520bは、ノードN21に接続される。トランスファゲート520bは、クロック信号CLKがLレベルのとき、電位レベル調整回路510bから入力される電位レベル $V_{DD}-2V_{tp}$ の入力信号を導通する。一方、クロック信号CLKがHレベルのときには、電位レベル調整回路510bから入力される接地電位GNDの入力信号を遮断する。

【0301】

ラッチ回路530aは、互いに環状に接続されたインバータ531a, 532aを有する。ラッチ回路530aは、クロック信号CLKがLレベルのとき、電位レベル調整回路510aからトランスファゲート520aを介して入力される電位レベル $V_{DD}-V_{tp}$ の入力信号を受けて、ノードN12に出力信号を出力する。ラッチ回路530aは、入力信号の電位レベル $V_{DD}-V_{tp}$ が入力しきい値電圧 V_{th} より高いとき、入力信号を反転する。一方、クロック信号CLKがLレベルのときには、トランスファゲート520aが遮断されるため、ラッチ回路530aは、データ保持状態となる。

【0302】

ラッチ回路530bは、互いに環状に接続されたインバータ531b, 532bを有する。ラッチ回路530bは、クロック信号CLKがLレベルのとき、電位レベル調整回路510bからトランスファゲート520bを介して入力される電位レベル $V_{DD}-2V_{tp}$ の入力信号を受けて、ノードN22に出力信号を出

力する。ラッチ回路 530b は、入力信号の電位レベル $V_{DD} - 2V_{tp}$ が入力しきい値電圧 V_{th} より高いとき、入力信号を反転する。一方、クロック信号 CLK が L レベルのときには、トランスファゲート 520b が遮断されるため、ラッチ回路 530b は、データ保持状態となる。

【0303】

NAND 回路 541 は、ノード N12, N22 からの信号を受けて、保持電位設定信号 DCL0 を出力する。インバータ 542 は、ノード N12 からの信号を反転する。NAND 回路 543 は、インバータ 542 およびノード N22 からの信号を受けて、保持電位設定信号 DCL1 を出力する。インバータ 544 は、ノード N22 からの信号を反転する。NAND 回路 545 は、インバータ 542, 544 からの信号を受けて、保持電位設定信号 DCL2 を出力する。

【0304】

図 35 は、この発明の実施の形態 10 による設定信号制御回路 500 の動作を説明するための動作波形図である。

【0305】

図 35 (A) は、クロック信号 CLK の電位レベルの変化を示した図である。図 35 (A) に示すように、クロック信号 CLK は、時刻 t_1 , t_3 において H レベル（電源電位 V_{DD} ）に立ち上がり、時刻 t_2 , t_4 において L レベルに立ち下がる。

【0306】

図 35 (B) ~ (D) は、ノード N11, N21 における電位レベルの変化を示した図である。図 34 において説明したように、図 35 (B) ~ (D) においてノード N11, N21 の電位レベルが変化する時刻 $t_1 \sim t_4$ は、図 35 (A) においてクロック信号 CLK の電位レベルが変化する時刻 $t_1 \sim t_4$ と同期している。

【0307】

図 35 (B) ~ (D) に示すように、ノード N11 における電位レベルは、いずれも、時刻 t_1 , t_3 において立ち下がり、時刻 t_2 , t_4 において $V_{DD} - V_{tp}$ に立ち上がる。また、ノード N21 における電位レベルは、いずれも、時

刻 t_1 , t_3 において立ち下がり、時刻 t_2 , t_4 において $V_{DD} - 2V_{tp}$ に立ち上がる。

【0308】

このように、ノード N_{11} , N_{21} の電位レベルは、クロック信号 CLK が L レベルのとき、それぞれ $V_{DD} - V_{tp}$, $V_{DD} - 2V_{tp}$ となる。しかしながら、これらの電位レベル $V_{DD} - V_{tp}$, $V_{DD} - 2V_{tp}$ は、電源電位 V_{DD} の値が変動すると、それにともなって変動する。図 35 (B) ~ (D) では、電源電位 V_{DD} が変動した場合におけるノード N_{11} , N_{21} の電位レベルを、図 34 のラッチ回路 530a, 530b における入力しきい値電圧 V_{th} との関係から、次の 3 つの場合に分けて説明する。

【0309】

図 35 (B) は、電位レベル $V_{DD} - V_{tp}$, $V_{DD} - 2V_{tp}$ がともに入力しきい値電圧 V_{th} より高い場合におけるノード N_{11} , N_{21} の電位レベルの変化を示した図である。

【0310】

図 35 (B) に示すように、電源電位 V_{DD} が十分高い場合、図 34 のラッチ回路 530a, 530b に入力される入力信号の電位レベル $V_{DD} - V_{tp}$, $V_{DD} - 2V_{tp}$ は、ともに、入力しきい値電圧 V_{th} より高くなる。このとき、図 34 において説明したように、図 34 のラッチ回路 530a, 530b は、クロック信号 CLK が L レベル時において、いずれも入力信号を反転する。この結果、ノード N_{12} , N_{22} の電位レベルはいずれも L レベルとなる。

【0311】

これを受けて、保持電位設定信号 DCL_0 , DCL_1 , DCL_2 は、図 34 を参照して、それぞれ H レベル, H レベル, L レベルとなる。これらの保持電位設定信号 DCL_0 , DCL_1 , DCL_2 を、図 29 の電源線レベル切替回路 200 に入力し、保持テスト制御信号 RT , レベル制御信号 CS をそれぞれ H レベル, L レベルと設定することによって、電源線 VM の電位レベルは、図 30 に示すように、 $V_{DD} - 2V_{tp}$ となる。

【0312】

このように、電源電位 V_{DD} が十分高い場合には、保持電位設定信号 $DCL0$, $DCL1$, $DCL2$ がそれぞれ H レベル, H レベル, L レベルに設定される。その結果、電源線 VM の電位レベルを $V_{DD} - 2V_{tp}$ にまで下げることができる。

【0313】

図 35 (C) は、電位レベル $V_{DD} - V_{tp}$ が入力しきい値電圧 V_{th} より高く、電位レベル $V_{DD} - 2V_{tp}$ が入力しきい値電圧 V_{th} より低い場合におけるノード $N11$, $N21$ の電位レベルの変化を示した図である。

【0314】

図 35 (C) に示すように、電源電位 V_{DD} が図 35 (B) に比べて低い場合、図 34 のラッチ回路 530a に入力される入力信号の電位レベル $V_{DD} - V_{tp}$ は入力しきい値電圧 V_{th} より高くなり、図 34 のラッチ回路 530b に入力される入力信号の電位レベル $V_{DD} - 2V_{tp}$ は入力しきい値電圧 V_{th} より低くなる。

【0315】

このとき、図 34 において説明したように、クロック信号 CLK が L レベル時において、図 34 のラッチ回路 530a は入力信号を反転するが、図 34 のラッチ回路 530b は入力信号を反転しない。この結果、ノード $N12$, $N22$ の電位レベルはそれぞれ L レベル, H レベルとなる。

【0316】

これを受けて、保持電位設定信号 $DCL0$, $DCL1$, $DCL2$ は、図 34 を参照して、それぞれ H レベル, L レベル, H レベルとなる。これらの保持電位設定信号 $DCL0$, $DCL1$, $DCL2$ を、図 29 の電源線レベル切替回路 200 に入力し、保持テスト制御信号 RT , レベル制御信号 CS をそれぞれ H レベル, L レベルと設定することによって、電源線 VM の電位レベルは、図 30 に示すように、 $V_{DD} - V_{tp}$ となる。

【0317】

このように、電源電位 V_{DD} が図 35 (B) に比べて低い場合には、保持電位設定信号 $DCL0$, $DCL1$, $DCL2$ がそれぞれ H レベル, L レベル, H レベ

ルに設定される。その結果、電源線VMの電位レベルは $V_{DD} - V_{tp}$ となり、電位レベルの低下幅を抑えることができる。

【0318】

図35(D)は、電位レベル $V_{DD} - V_{tp}$ 、 $V_{DD} - 2V_{tp}$ がともに入力しきい値電圧 V_{th} より低い場合におけるノードN11、N21の電位レベルの変化を示した図である。

【0319】

図35(D)に示すように、電源電位 V_{DD} が図35(C)に比べてさらに低い場合、図34のラッチ回路530a、530bに入力される入力信号の電位レベル $V_{DD} - V_{tp}$ 、 $V_{DD} - 2V_{tp}$ は、ともに、入力しきい値電圧 V_{th} より低くなる。このとき、図34において説明したように、図34のラッチ回路530a、530bは、クロック信号CLKがLレベル時において、いずれも入力信号を反転しない。この結果、ノードN12、N22の電位レベルはいずれもHレベルとなる。

【0320】

これを受けて、保持電位設定信号DCL0、DCL1、DCL2は、図34を参照して、それぞれLレベル、Hレベル、Hレベルとなる。これらの保持電位設定信号DCL0、DCL1、DCL2を、図29の電源線レベル切替回路200に入力し、保持テスト制御信号RT、レベル制御信号CSをそれぞれHレベル、Lレベルと設定することによって、電源線VMの電位レベルは、図30に示すように、電源電位 V_{DD} となる。

【0321】

このように、電源電位 V_{DD} が図35(C)に比べてさらに低い場合には、保持電位設定信号DCL0、DCL1、DCL2がそれぞれLレベル、Hレベル、Hレベルに設定される。その結果、電源線VMの電位レベルを電源電位 V_{DD} に戻すことができる。

【0322】

したがって、実施の形態10の設定信号制御回路500は、電源電位 V_{DD} が変動した場合には、その変動具合に応じて保持電位設定信号DCL0、DCL1

、DCL2の各論理レベルを制御することができる。これにより、電源電位VDDが変動した場合にも、非アクセス時におけるメモリセルのデータ保持特性が電源電位VDDの変動によって悪くならないように、電源線VMの電位レベルを最適に自動調整することが可能となる。

【0323】

最近の半導体記憶装置におけるチップ設計では、低消費電力化のため、動作状況に応じてダイナミックに電源電圧を動かすようになってきている。実施の形態10の設定信号制御回路500を用いることにより、このような電源電圧の変動にも対応することが可能となる。

【0324】

なお、電源電位VDDの電位レベルがある値だけ下がるのは、その下がった電位レベルを基準に考えた場合、接地電位GNDがその値だけ上がるのと等価である。したがって、設定信号制御回路500は、実施の形態9の接地線レベル制御回路30に、保持電位設定信号/DCL0、/DCL1、/DCL2を供給することも可能である。

【0325】

以上のように、実施の形態10によれば、電源電位VDDの変動具合に応じて保持電位設定信号DCL0、DCL1、DCL2の論理レベルを制御することにより、電源電位VDDが変動した場合にも、電源線VMの電位レベルを最適に自動調整することが可能となる。

【0326】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0327】

【発明の効果】

以上のように、この発明によれば、ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による

消費電力を低減させることができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態による半導体記憶装置 1 0 0 の概略的な構成を示した概略ブロック図である。

【図 2】 この発明の実施の形態 1 によるメモリセルアレイ 1 1 0 A およびその周辺の回路構成を示した回路図である。

【図 3】 この発明の実施の形態 1 によるメモリセル 1 A の具体的な回路構成を示した回路図である。

【図 4】 この発明の実施の形態 1 によるメモリセル 1 A の書込ポート 2 0 0 0 A における書込み動作を説明するためのタイミング図である。

【図 5】 この発明の実施の形態 1 によるメモリセル 1 A の読出ポート 3 0 0 0 A における読出し動作を説明するためのタイミング図である。

【図 6】 M O S トランジスタにおけるゲートリーク電流とゲート電圧との関係の一例をグラフによって示した図である。

【図 7】 実施の形態 1 のメモリセルアレイ 1 1 0 A における読出ワード線 R W L [0] および読出ビット線 R B L [0] , R B L [1] の電位変化を示した図である。

【図 8】 実施の形態 1 のメモリセルアレイ 1 1 0 A における電源線 V M [0] , V M [1] の電位変化を示した図である。

【図 9】 この発明の実施の形態 2 によるメモリセルアレイ 1 1 0 B およびその周辺の回路構成を示した回路図である。

【図 1 0】 この発明の実施の形態 2 によるメモリセル 1 B の具体的な回路構成を示した回路図である。

【図 1 1】 この発明の実施の形態 3 によるメモリセルアレイ 1 1 0 C の回路構成を示した回路図である。

【図 1 2】 この発明の実施の形態 3 によるメモリセル 1 C の具体的な回路構成を示した回路図である。

【図 1 3】 この発明の実施の形態 4 によるメモリセルアレイ 1 1 0 D の回路構成を示した回路図である。

【図 1 4】 この発明の実施の形態 4 によるメモリセル 1 D の具体的な回路構成を示した回路図である。

【図 1 5】 この発明の実施の形態 5 によるメモリセルアレイ 1 1 0 E およびその周辺の回路構成を示した回路図である。

【図 1 6】 接地線レベル制御回路 3 0 E の一例である接地線レベル制御回路 3 0 E - 1 の回路構成を示した回路図である。

【図 1 7】 接地線レベル制御回路 3 0 E の他の一例である接地線レベル制御回路 3 0 E - 2 の回路構成を示した回路図である。

【図 1 8】 この発明の実施の形態 5 によるメモリセル 1 E の具体的な回路構成を示した回路図である。

【図 1 9】 実施の形態 5 のメモリセルアレイ 1 1 0 E における読出ワード線 RWL [0] および読出ビット線 RBL [0] , RBL [1] の電位変化を示した図である。

【図 2 0】 実施の形態 5 のメモリセルアレイ 1 1 0 E における接地線 GM [0] , GM [1] の電位変化を示した図である。

【図 2 1】 この発明の実施の形態 6 によるメモリセルアレイ 1 1 0 F およびその周辺の回路構成を示した回路図である。

【図 2 2】 この発明の実施の形態 6 によるメモリセル 1 F の具体的な回路構成を示した回路図である。

【図 2 3】 実施の形態 6 のメモリセルアレイ 1 1 0 F における接地線 GG [0] , GG [1] の電位変化を示した図である。

【図 2 4】 この発明の実施の形態 7 によるメモリセルアレイ 1 1 0 G およびその周辺の回路構成を示した回路図である。

【図 2 5】 この発明の実施の形態 7 によるメモリセル 1 G の具体的な回路構成を示した回路図である。

【図 2 6】 実施の形態 7 のメモリセルアレイ 1 1 0 G におけるワード線 WL [0] 、ビット線対 BL [0] , /BL [0] およびビット線対 BL [1] , /BL [1] の電位変化を示した図である。

【図 2 7】 実施の形態 7 のメモリセルアレイ 1 1 0 G における電源線 VM

[0], VM [1] および接地線 GG [0], GG [1] の電位変化を示した図である。

【図 28】 この発明の実施の形態 8 による電源線レベル制御回路 20 の回路構成を示した回路図である。

【図 29】 この発明の実施の形態 8 による電源線レベル切替回路 200 の具体的な回路構成を示した回路図である。

【図 30】 この発明の実施の形態 8 による電源線レベル切替回路 200 の動作を説明するための図である。

【図 31】 この発明の実施の形態 9 による接地線レベル制御回路 30 の回路構成を示した回路図である。

【図 32】 この発明の実施の形態 9 による接地線レベル切替回路 300 の具体的な回路構成を示した回路図である。

【図 33】 この発明の実施の形態 9 による接地線レベル切替回路 300 の動作を説明するための図である。

【図 34】 この発明の実施の形態 10 による設定信号制御回路 500 の回路構成を示した回路図である。

【図 35】 この発明の実施の形態 10 による設定信号制御回路 500 の動作を説明するための動作波形図である。

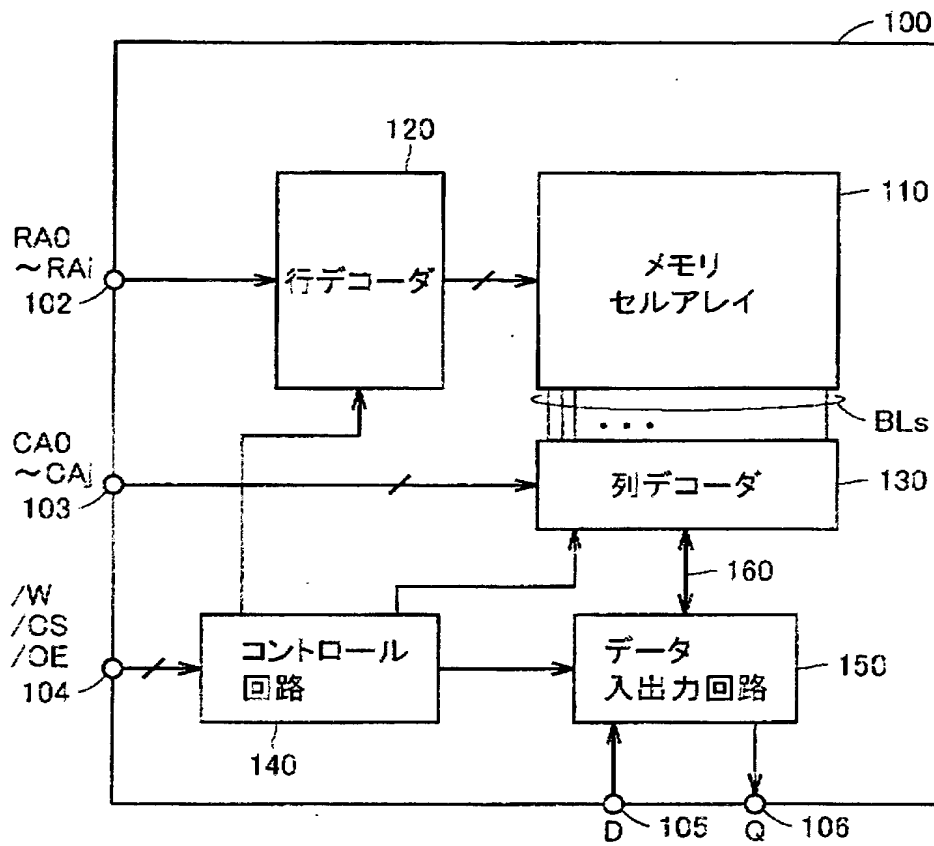
【符号の説明】

1A~1G メモリセル、2A~2G, 3A~3G, 531a, 531b, 532a, 532b, 542, 544 インバータ、4, 5, 6, 7, 8, 12, 14, 31E, 32E, 31F~34F, 302~309, 513, 517 NチャネルMOSトランジスタ、11, 13, 15, 16, 17, 21A~24A, 21B~26B, 33E, 35E, 202~209, 511, 512, 514~516 PチャネルMOSトランジスタ、20A, 20B 電源線レベル制御回路、30E, 30E-1, 30E-2, 30F 接地線レベル制御回路、100 半導体記憶装置、102 行アドレス端子、103 列アドレス端子、104 制御信号端子、105 データ入力端子、106 データ出力端子、110, 110A~110G メモリセルアレイ、120 行デコーダ、130 列デ

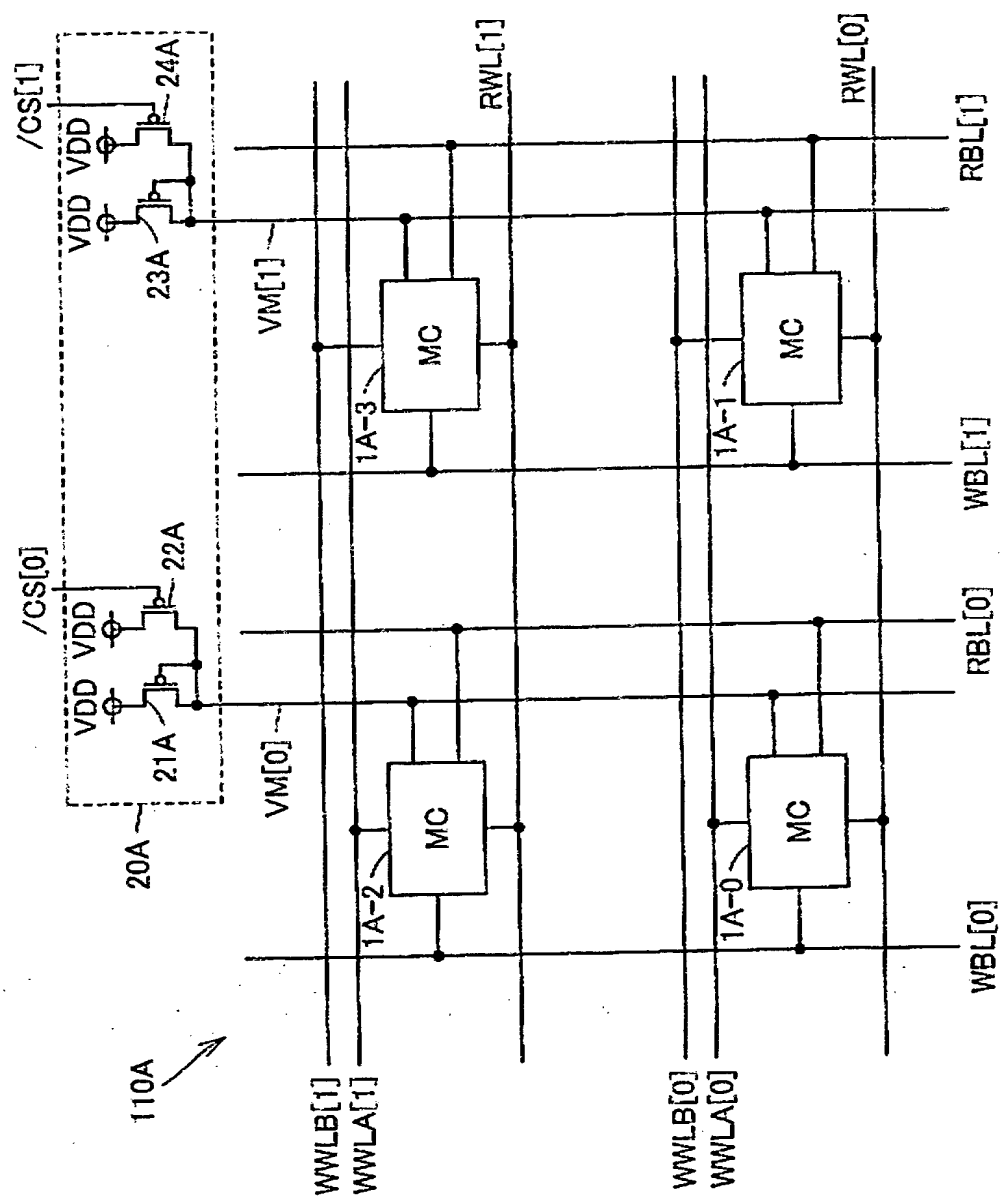
コーダ、1 4 0 コントロール回路、1 5 0 データ入出力回路、1 6 0 データ I / O 線、2 0 0 電源線レベル切替回路、2 0 1, 5 4 1, 5 4 3, 5 4 5 NAND 回路、3 0 0 接地線レベル切替回路、3 0 1 NOR 回路、5 0 0 設定信号制御回路、5 1 0 a, 5 1 0 b 電位レベル調整回路、5 2 0 a, 5 2 0 b トランスファゲート、5 3 0 a, 5 3 0 b ラッチ回路、1 0 0 0 A ~ 1 0 0 0 G データ記憶部、2 0 0 0 A ~ 2 0 0 0 F 書込ポート、3 0 0 0 A ~ 3 0 0 0 F 読出ポート、4 0 0 0 G 書込／読出ポート。

【書類名】 図面

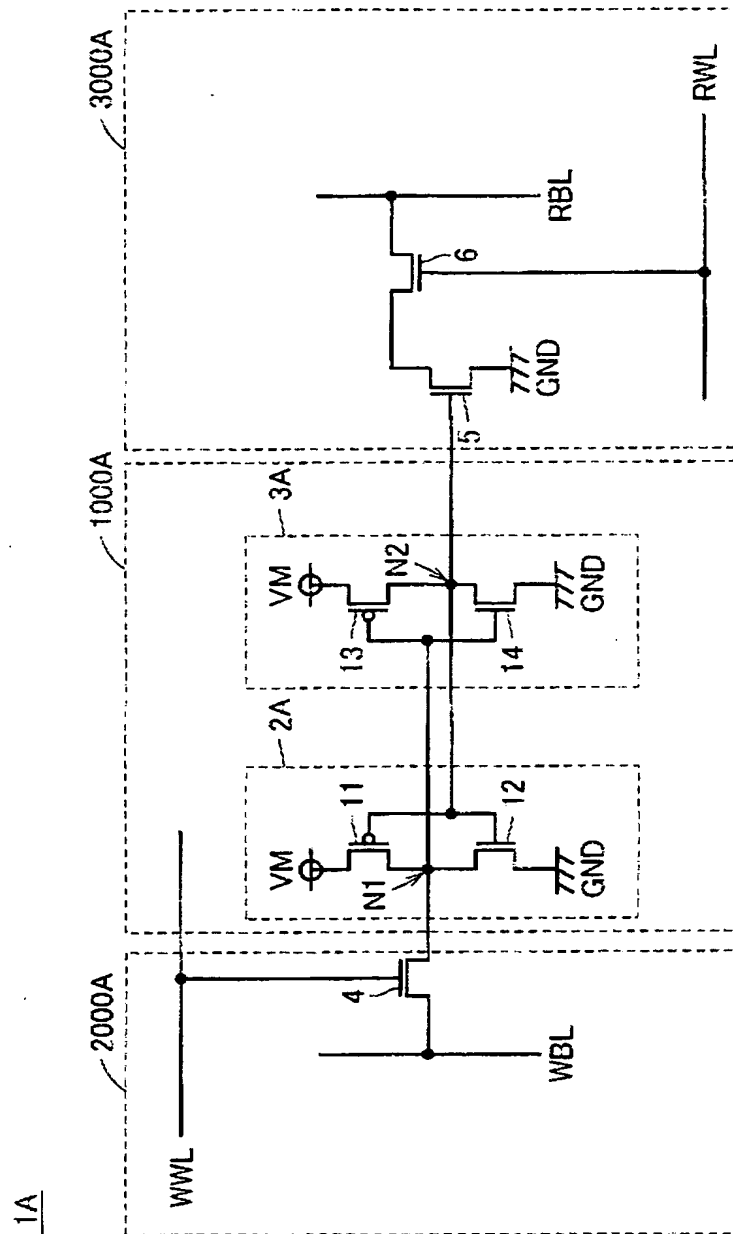
【図 1】



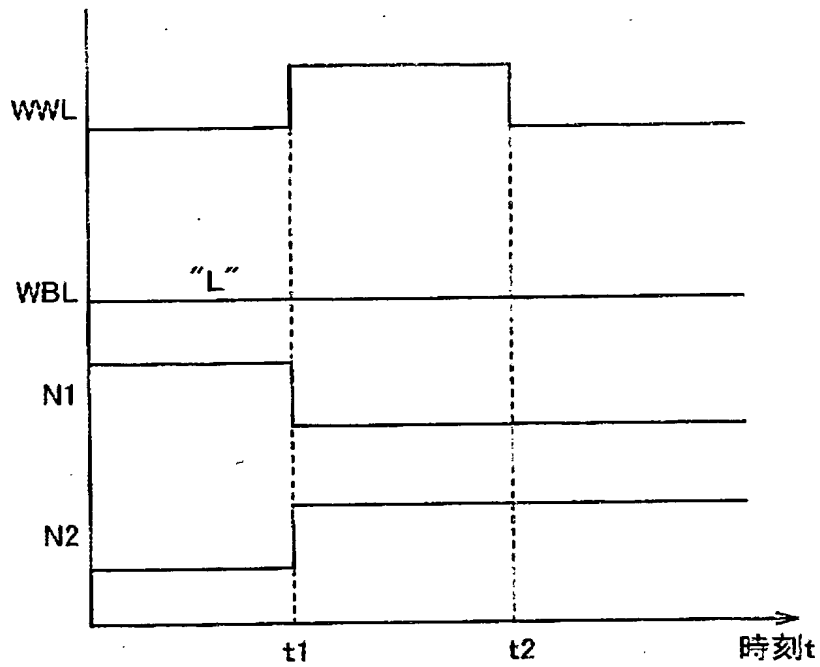
【図 2】



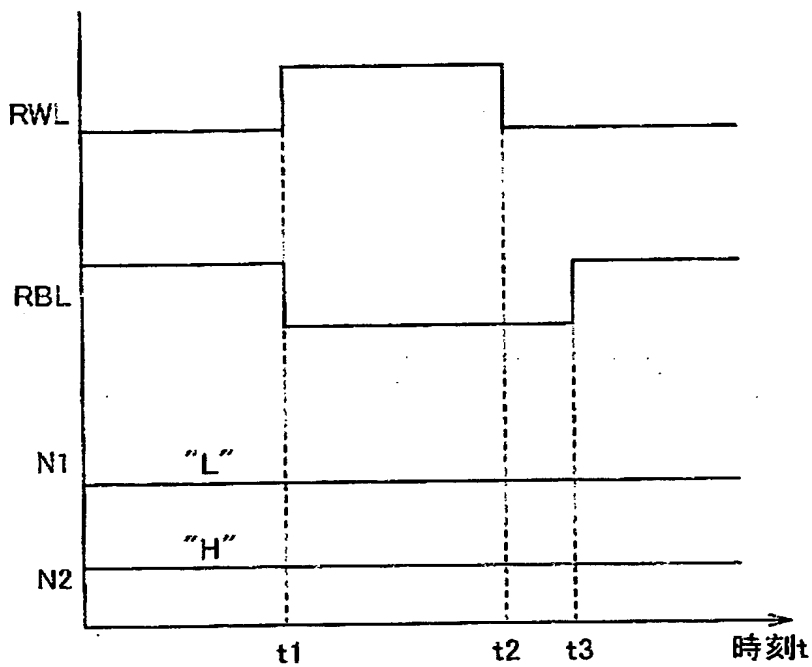
【図 3】



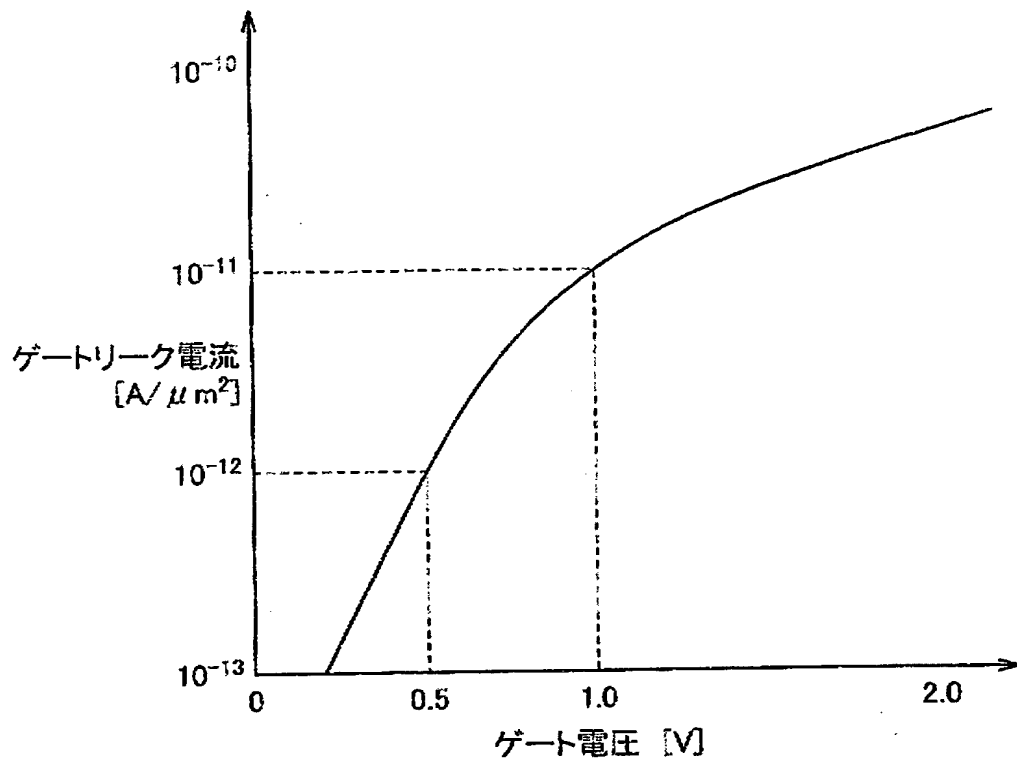
【図 4】



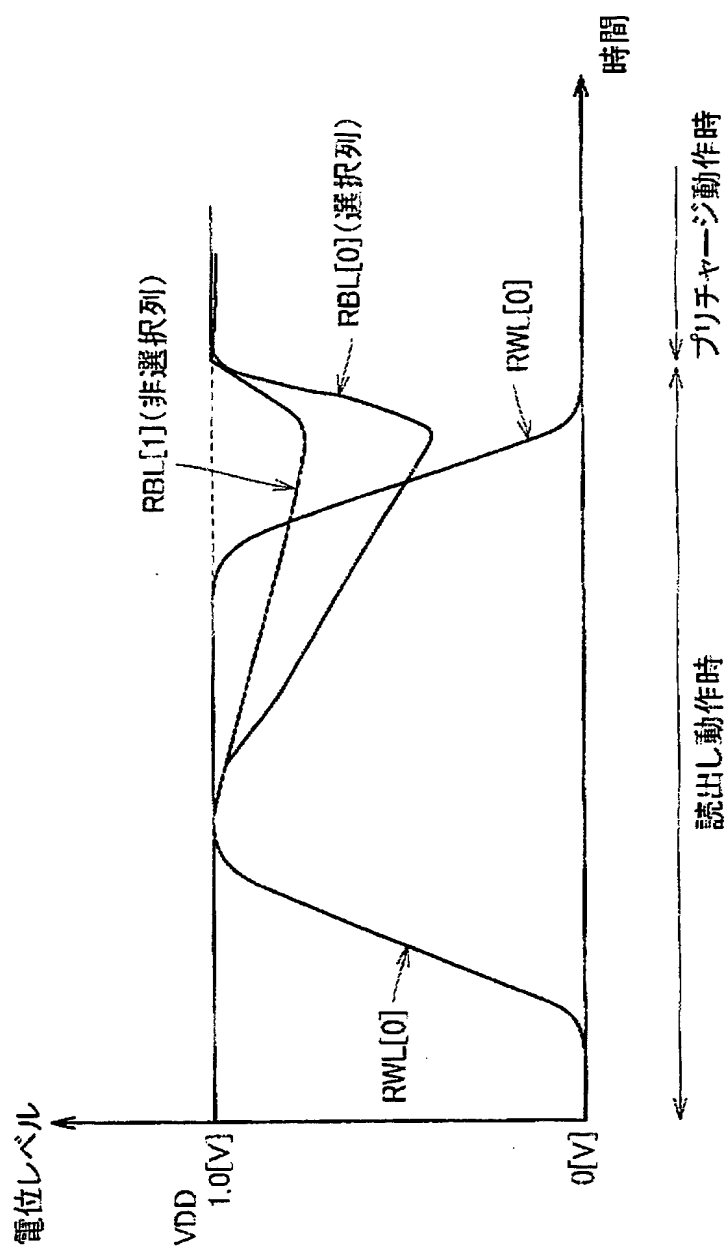
【図 5】



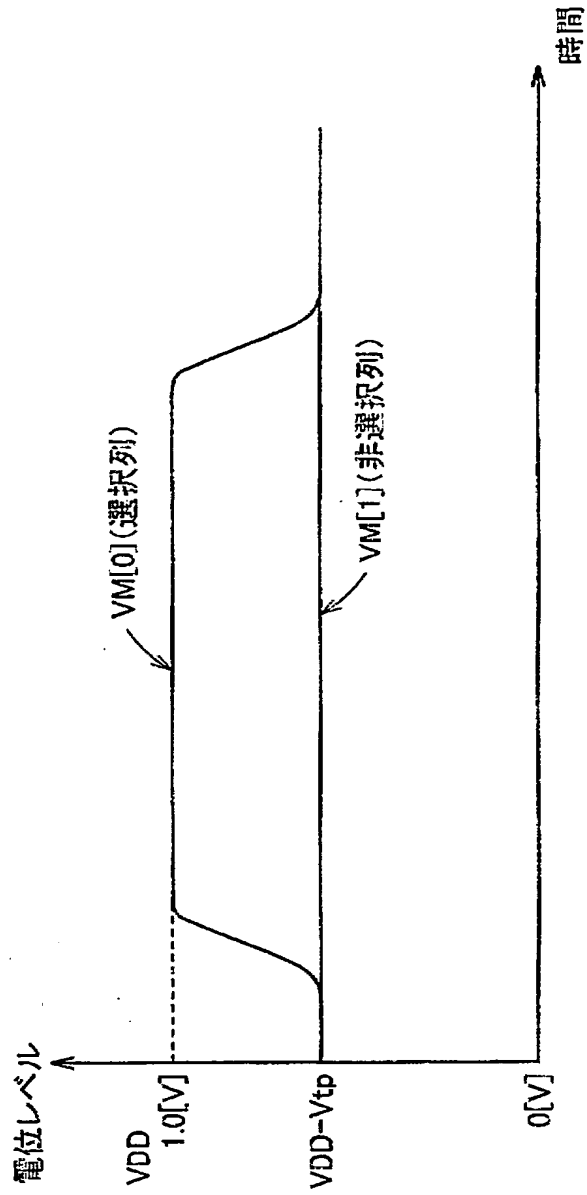
【図 6】



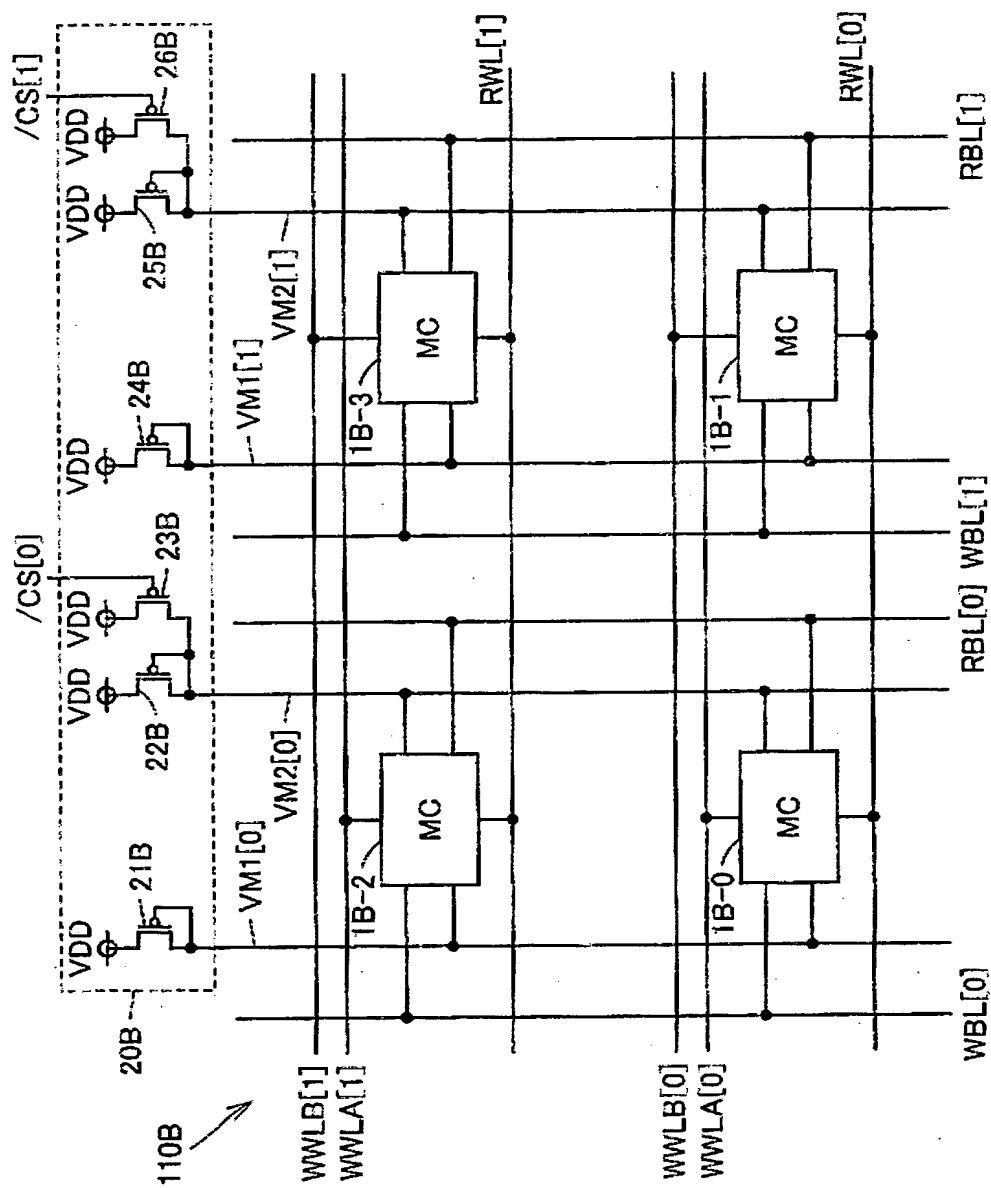
【図 7】



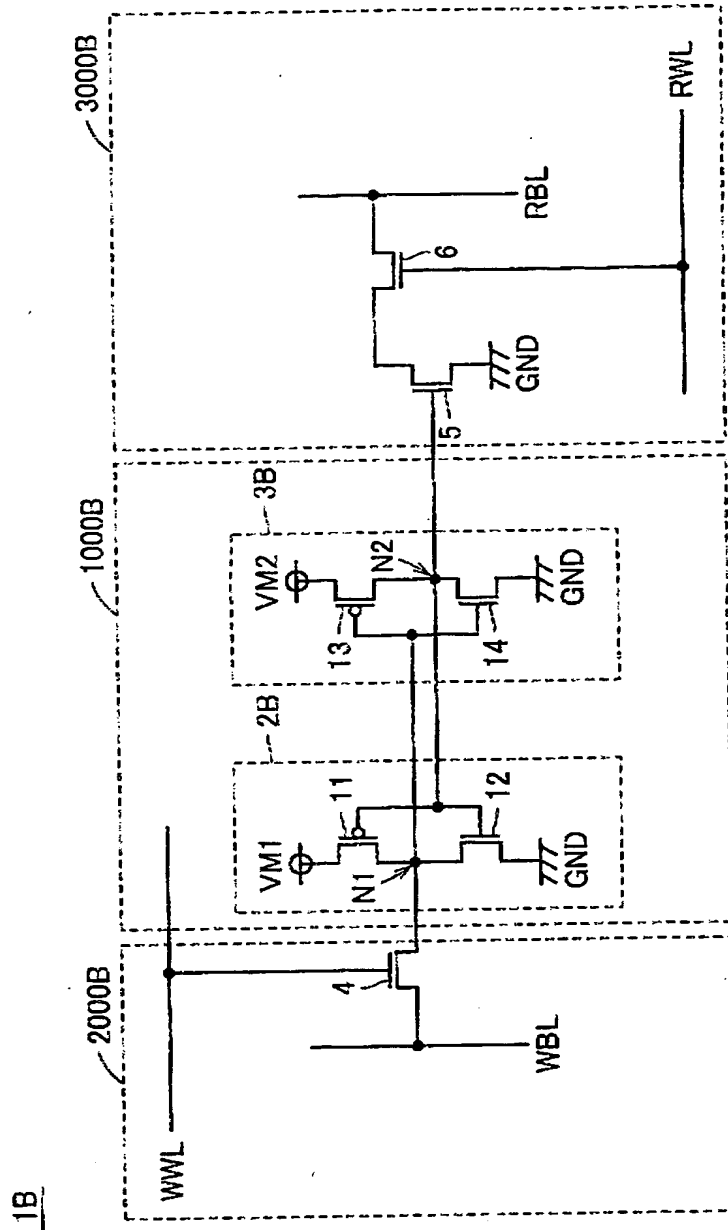
【図 8】



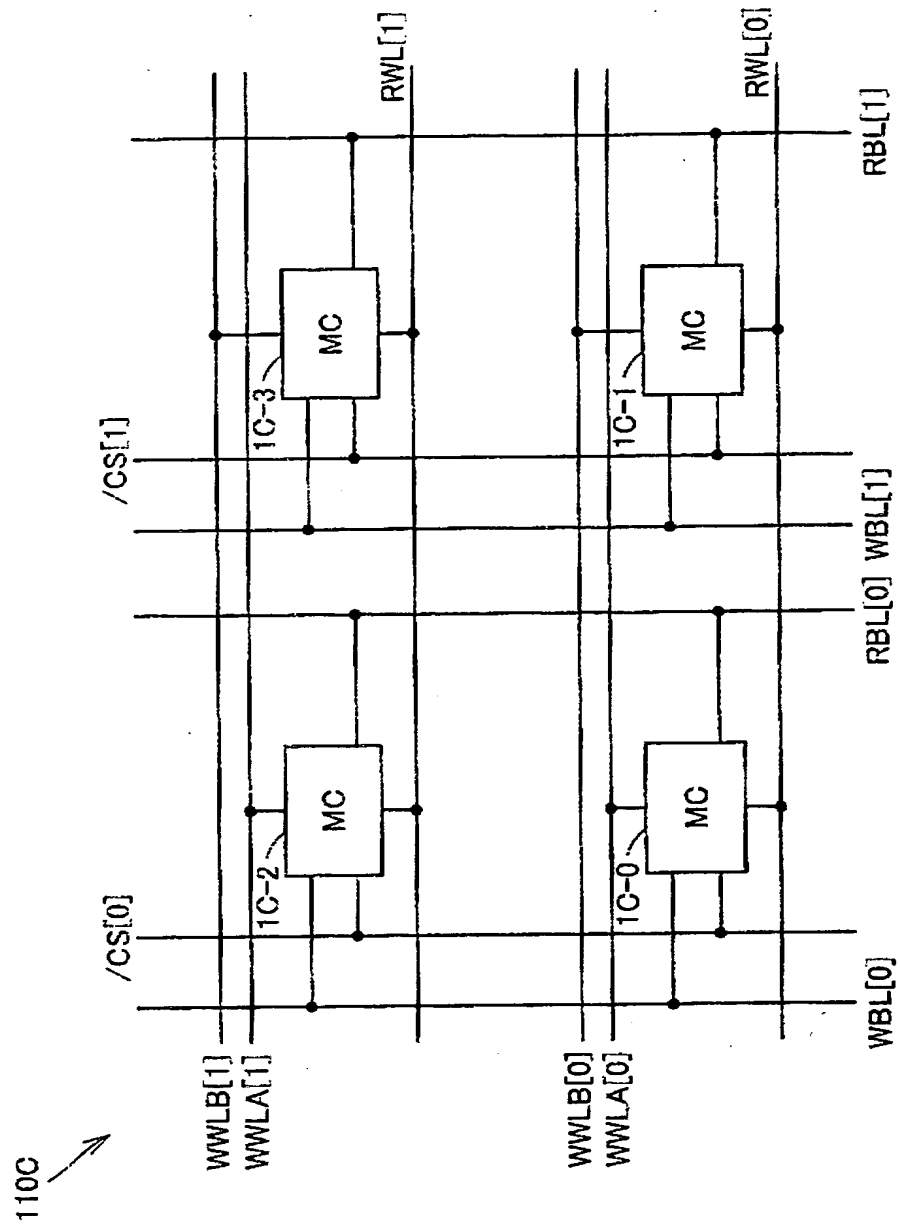
【図 9】



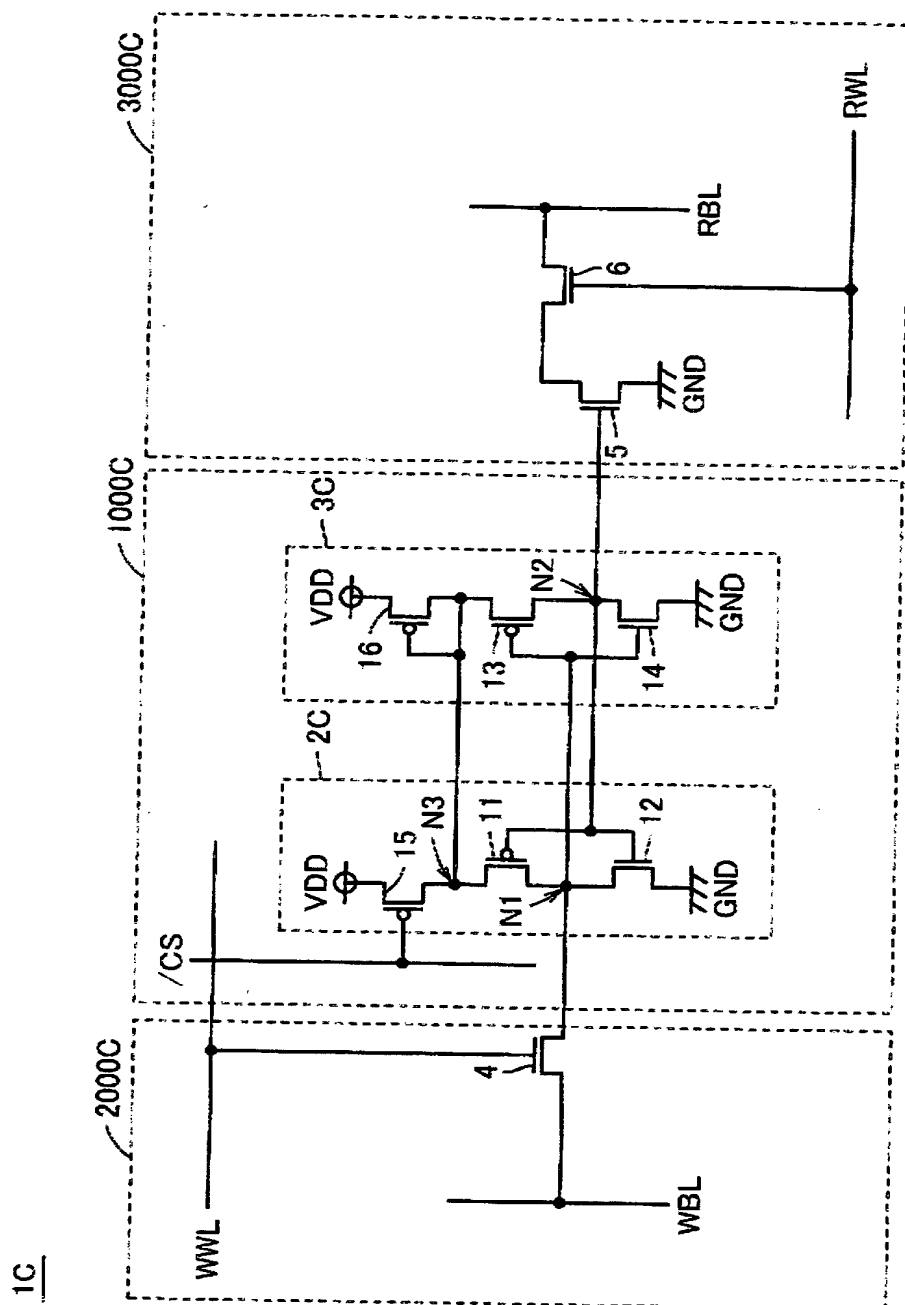
【図 10】



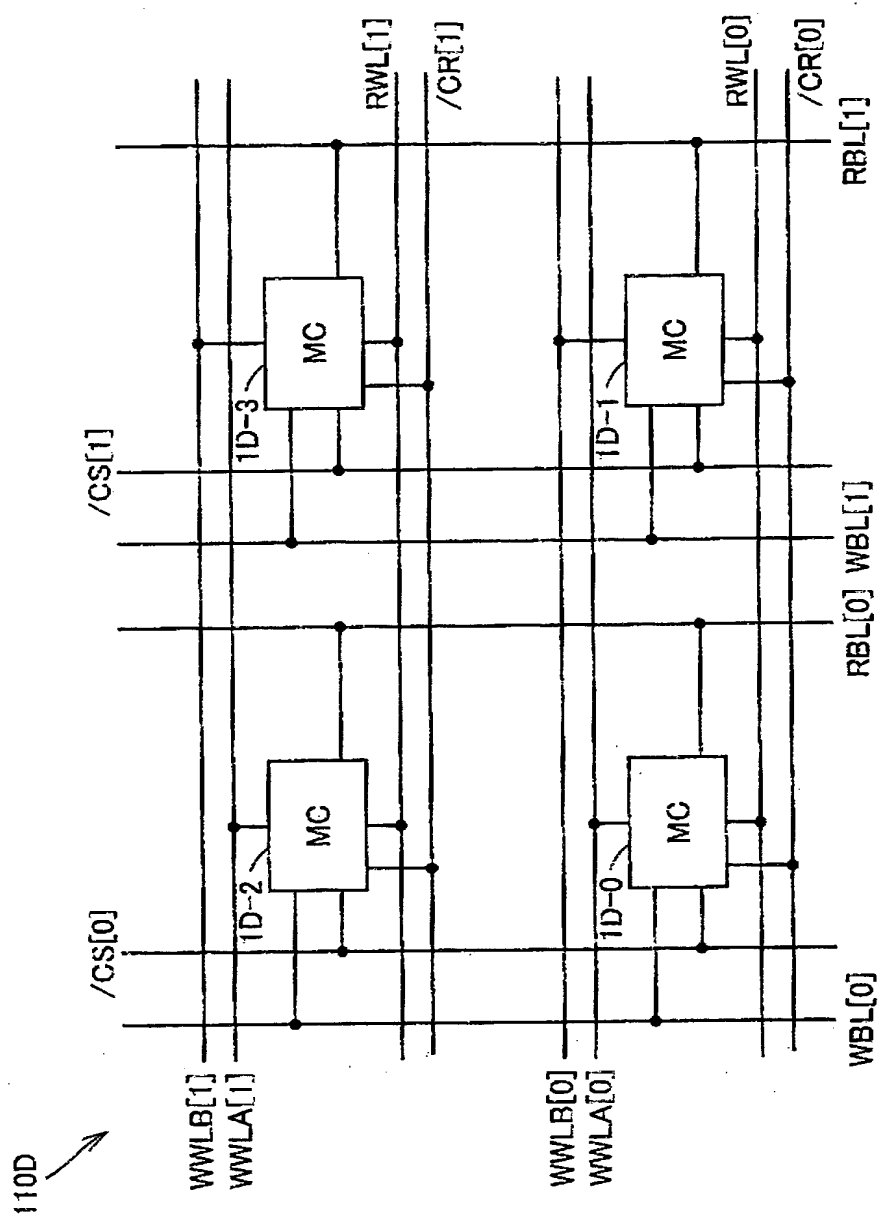
【図 11】



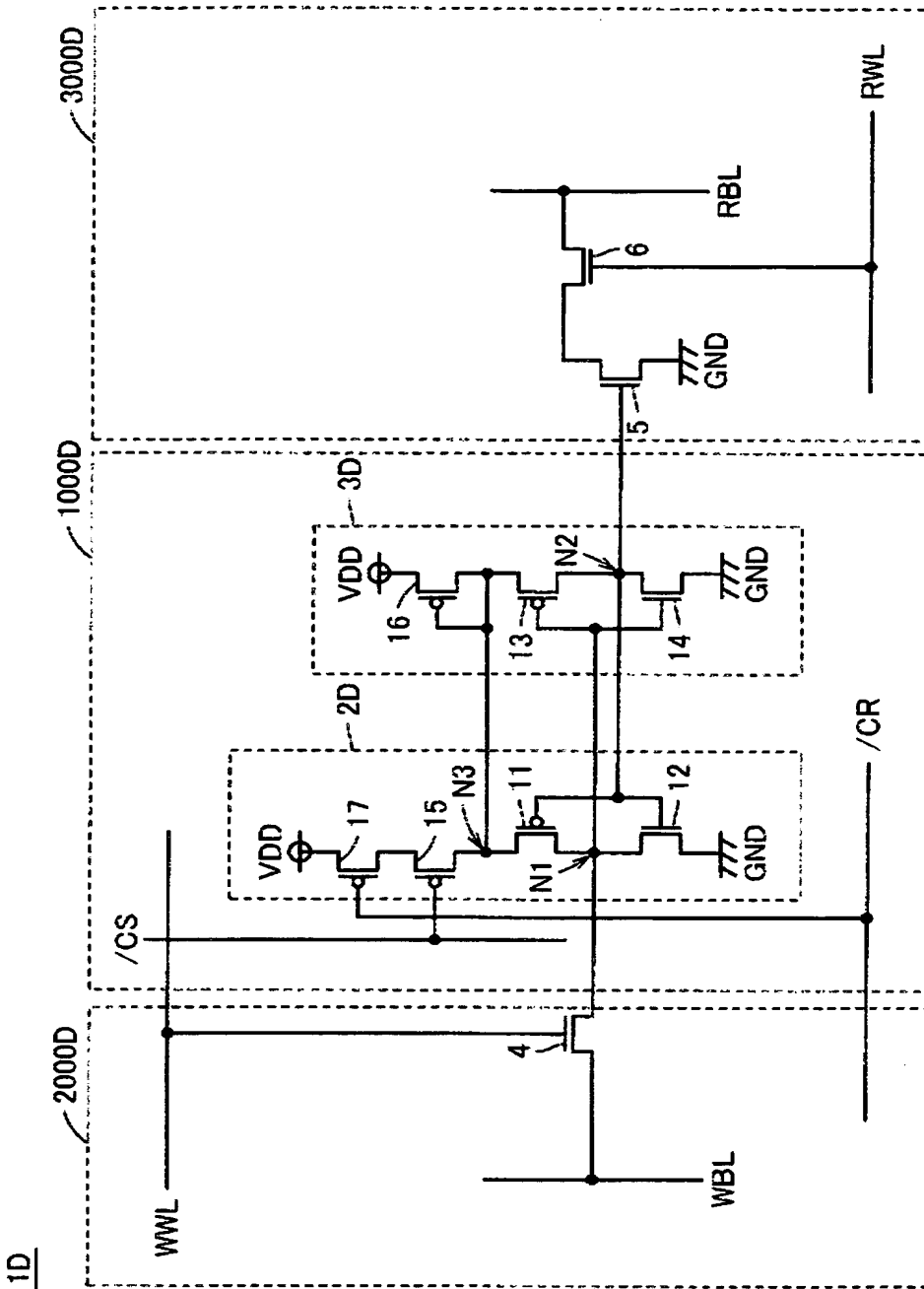
【図 12】



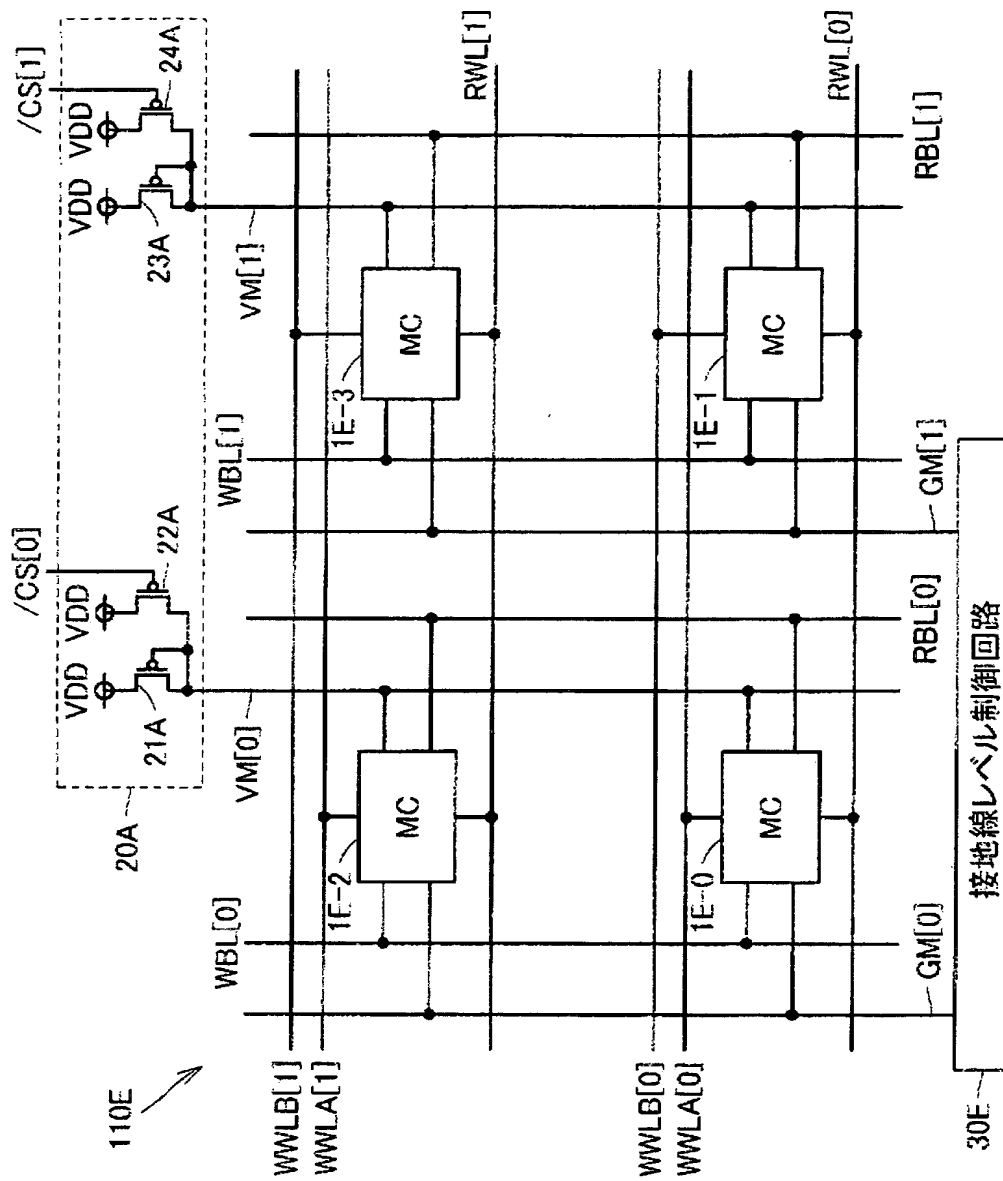
【図 13】



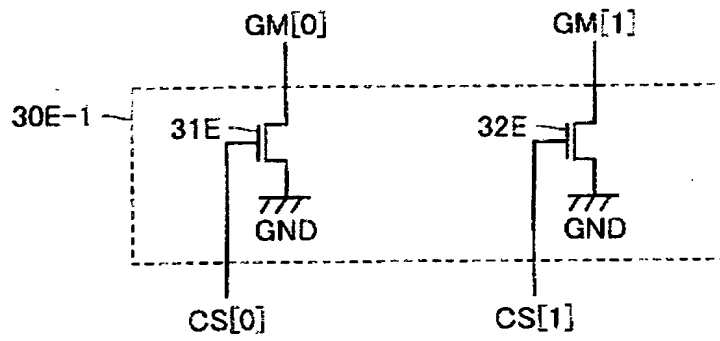
【図 14】



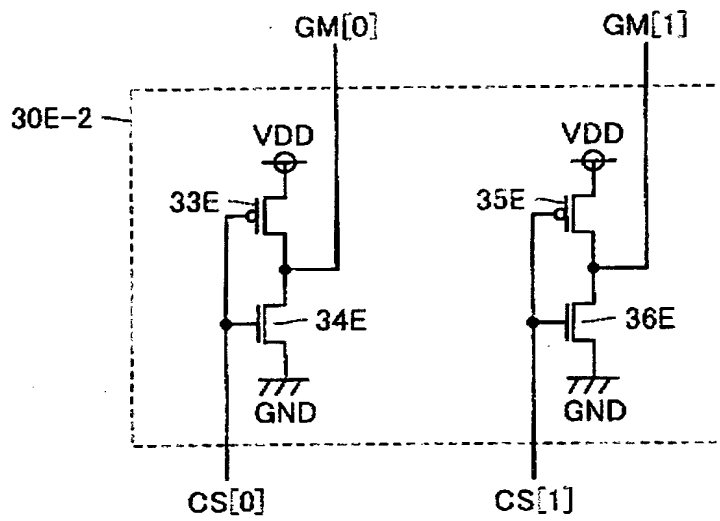
【図 15】



【図 16】

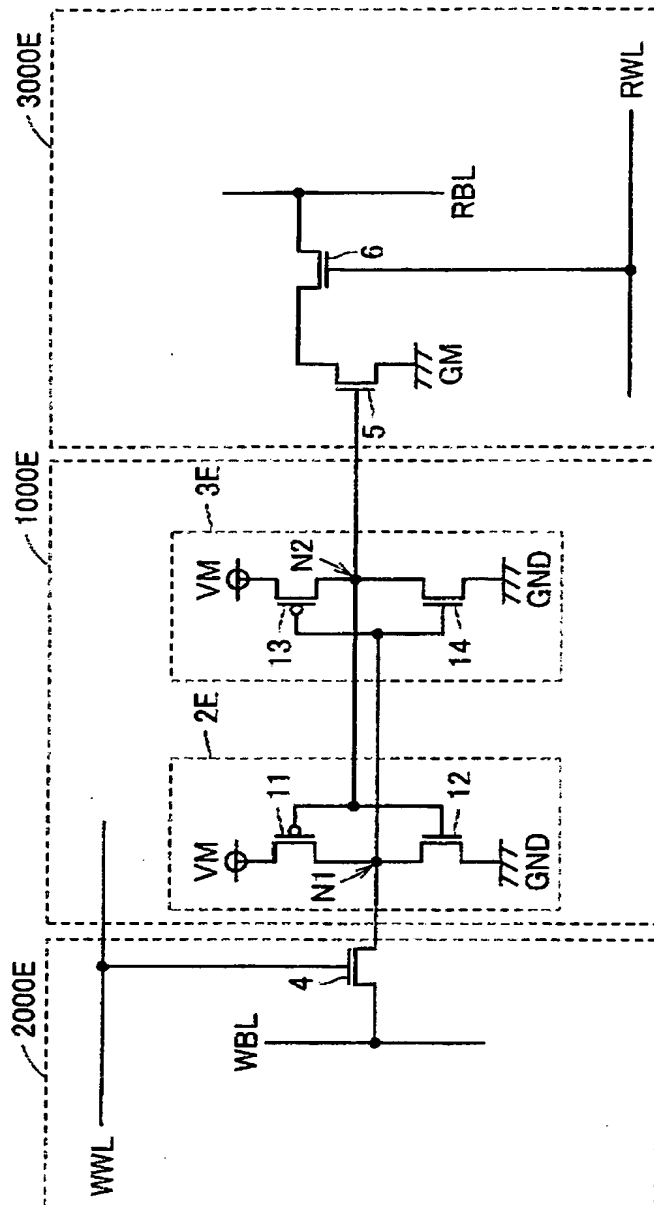


【図 17】

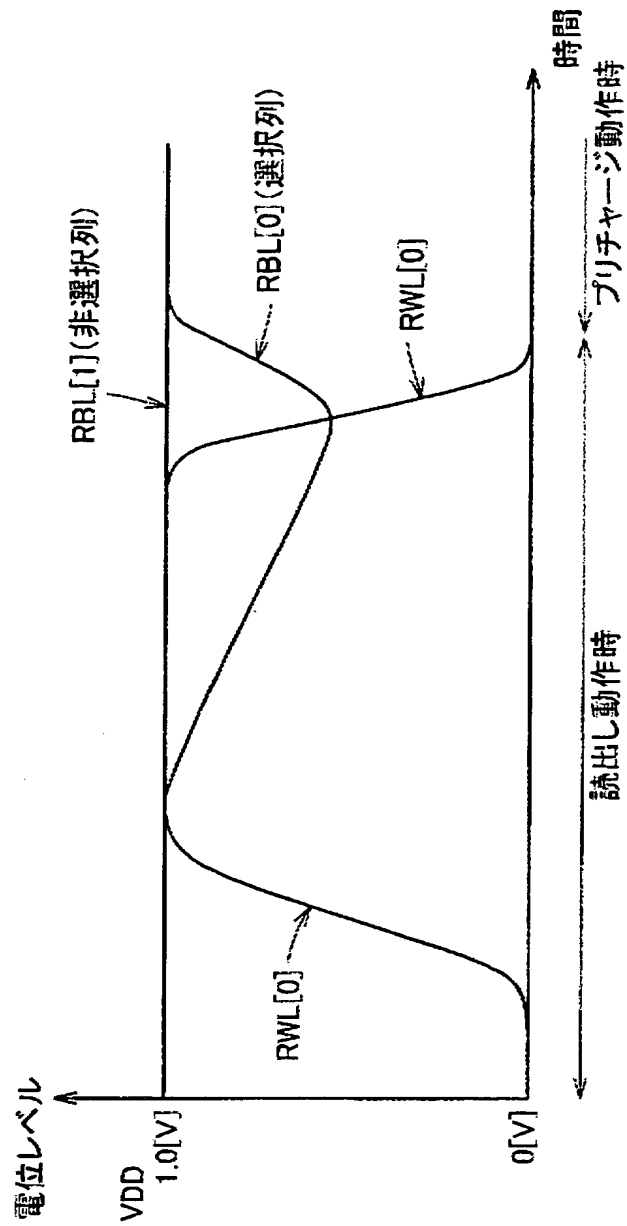


【図 18】

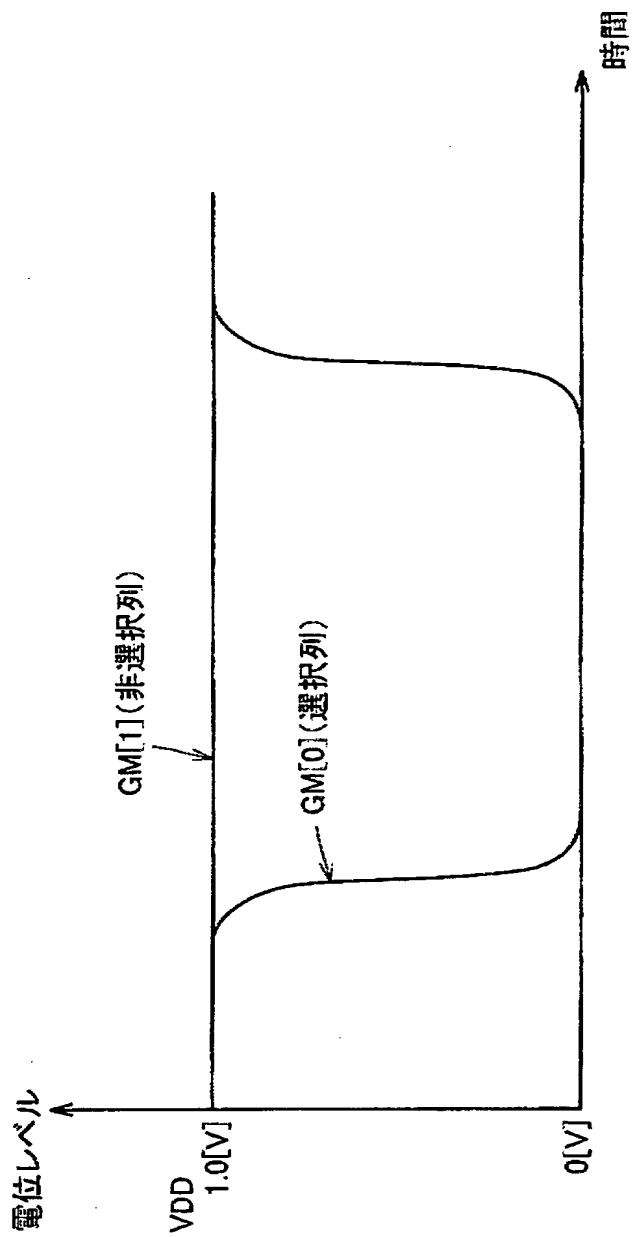
1E



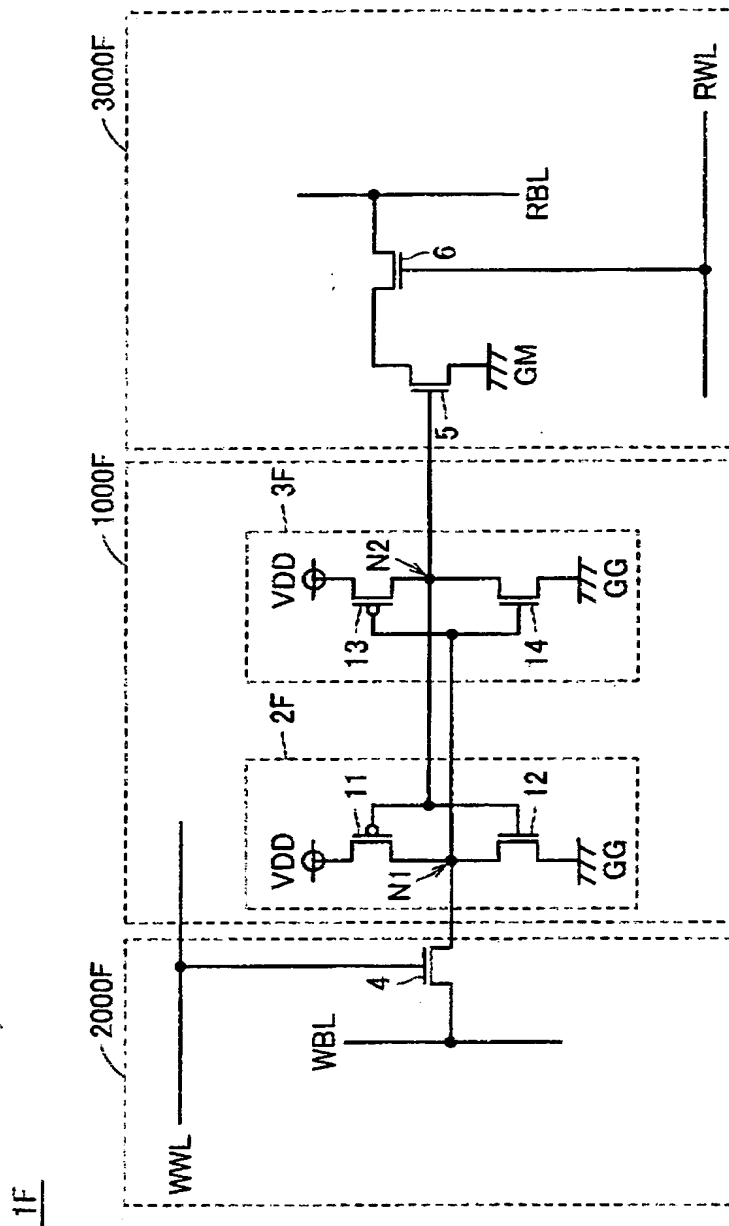
【図 19】



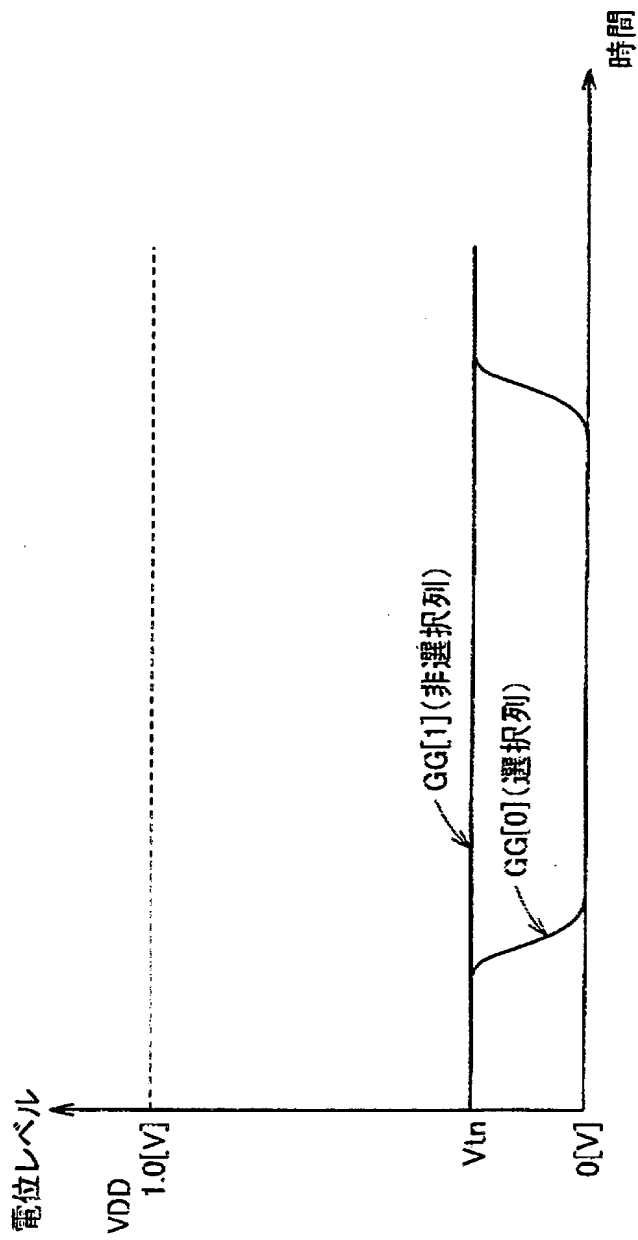
【図 20】



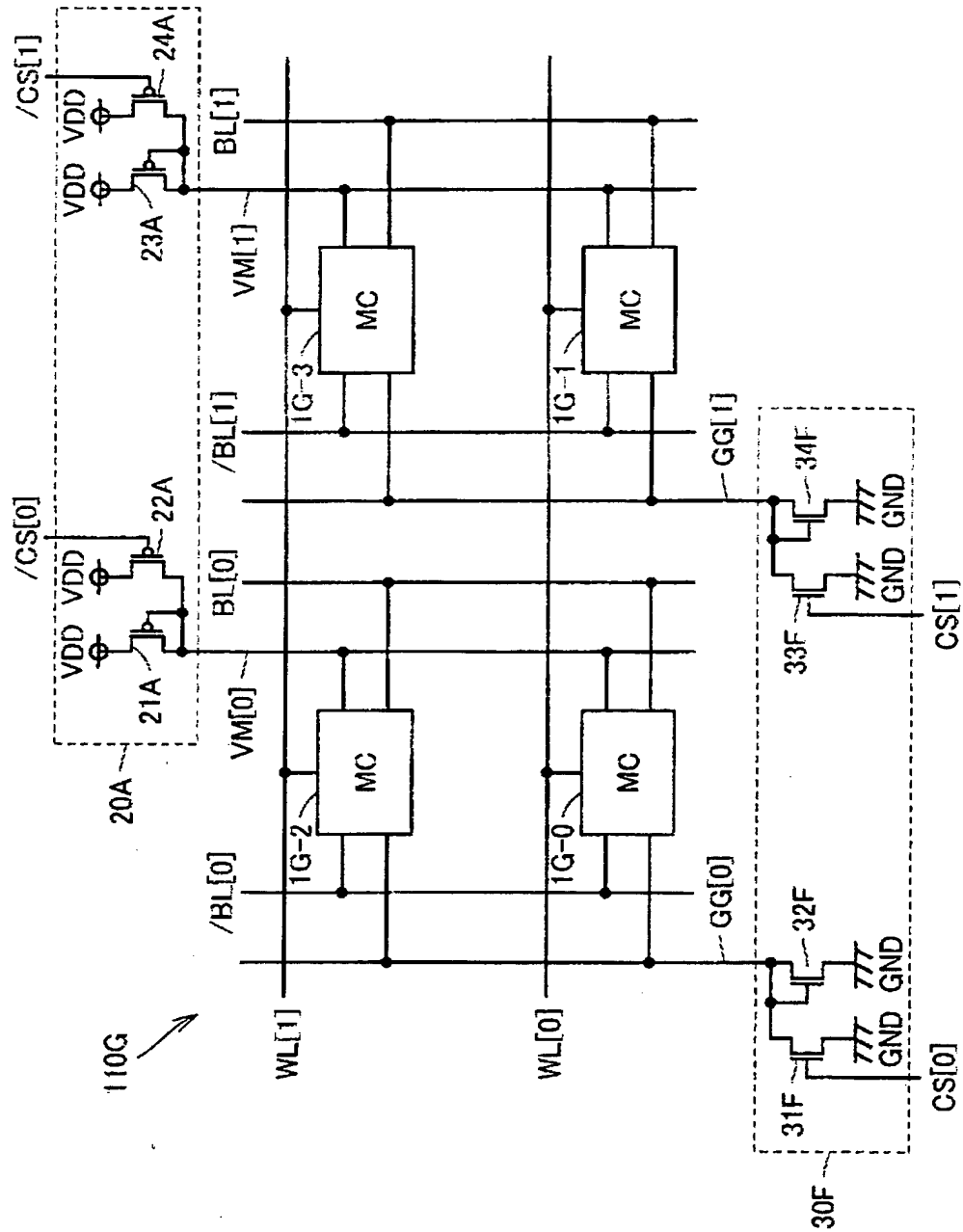
【図 22】



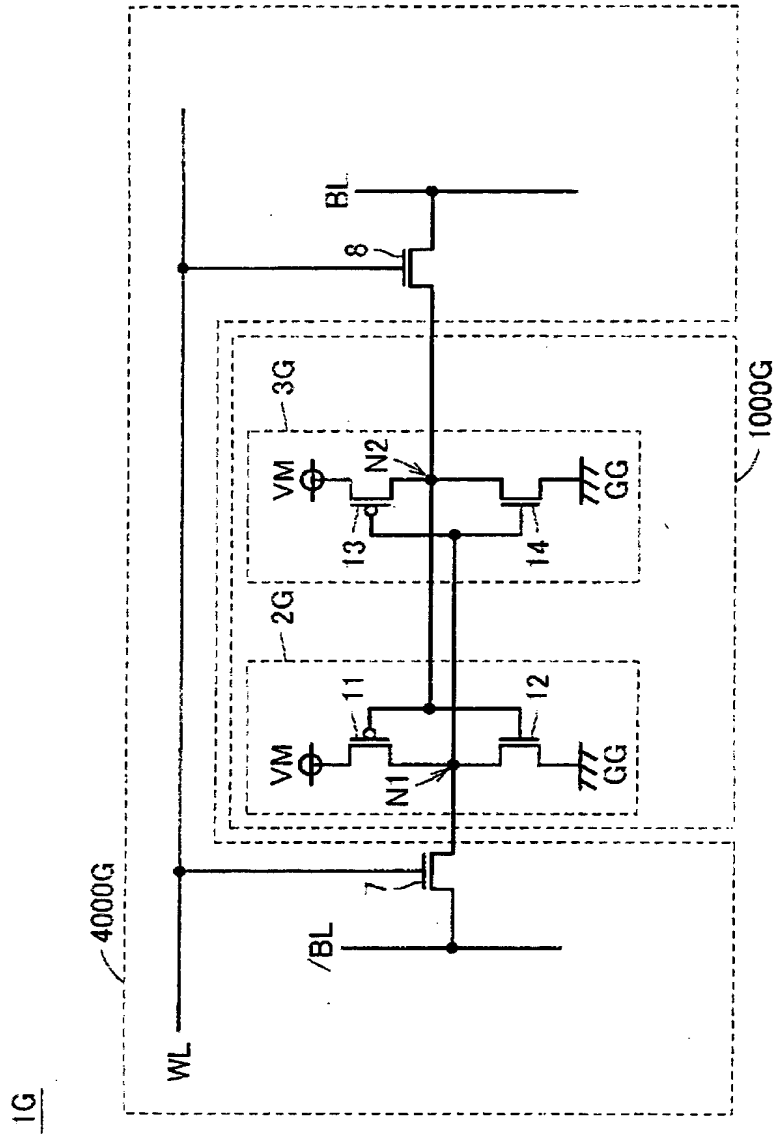
【図 23】



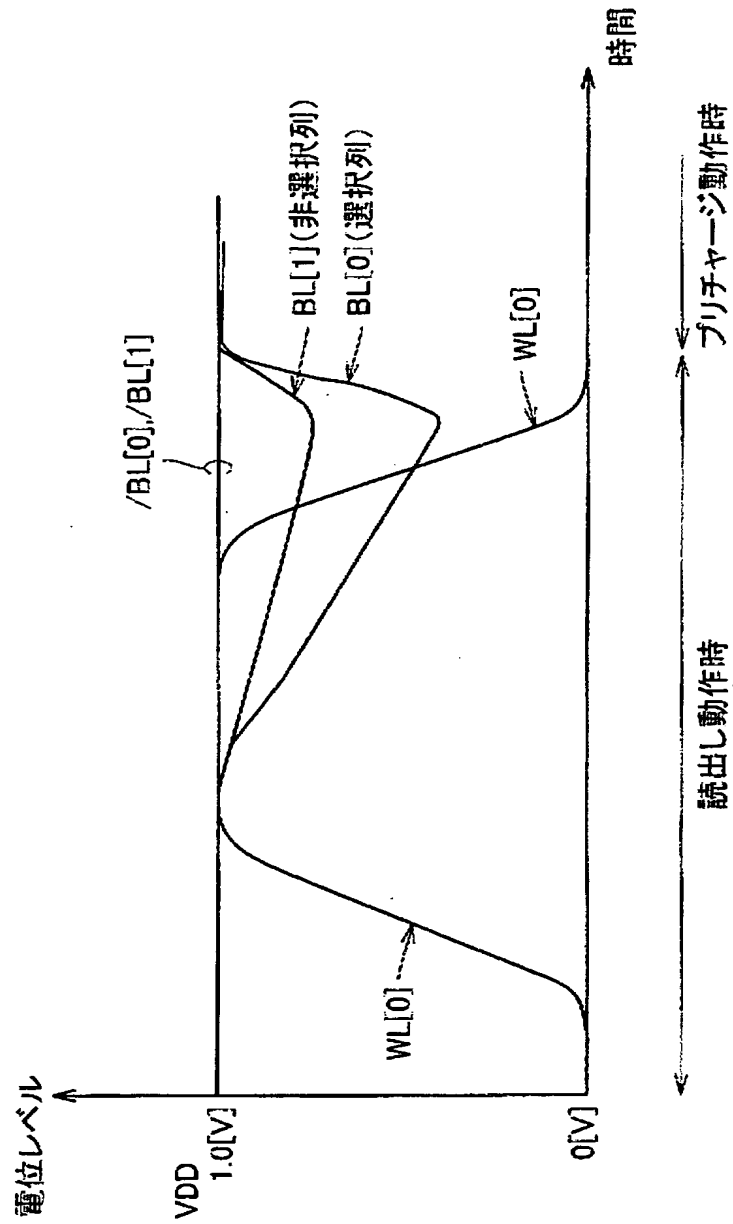
【図 24】



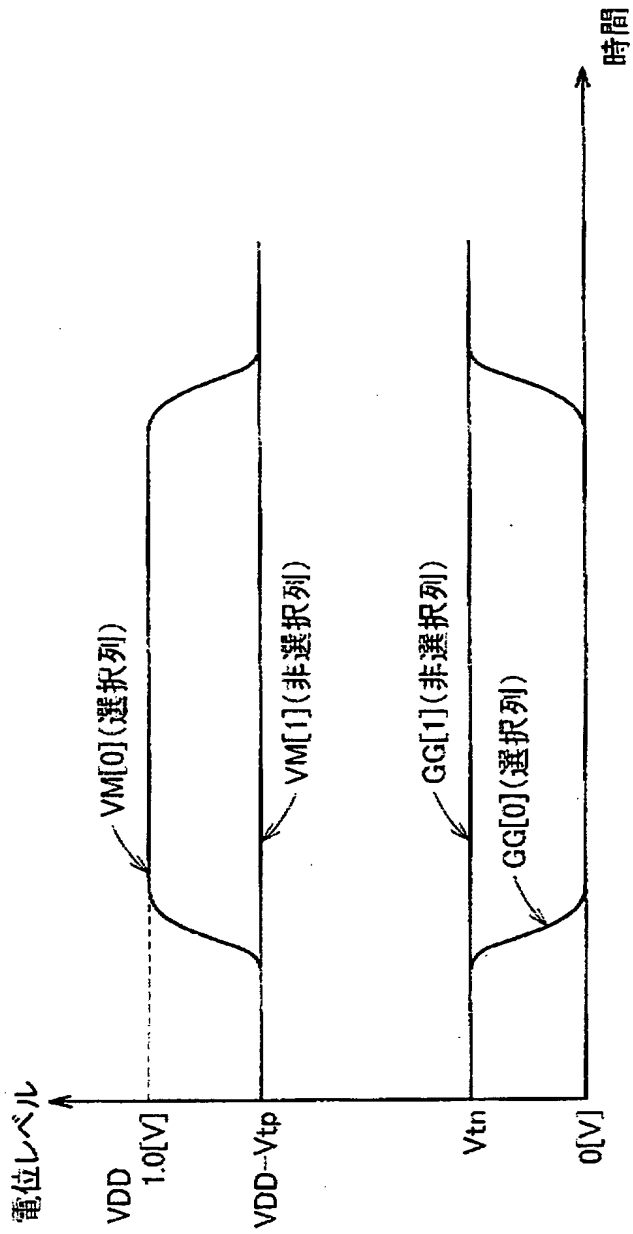
【図 25】



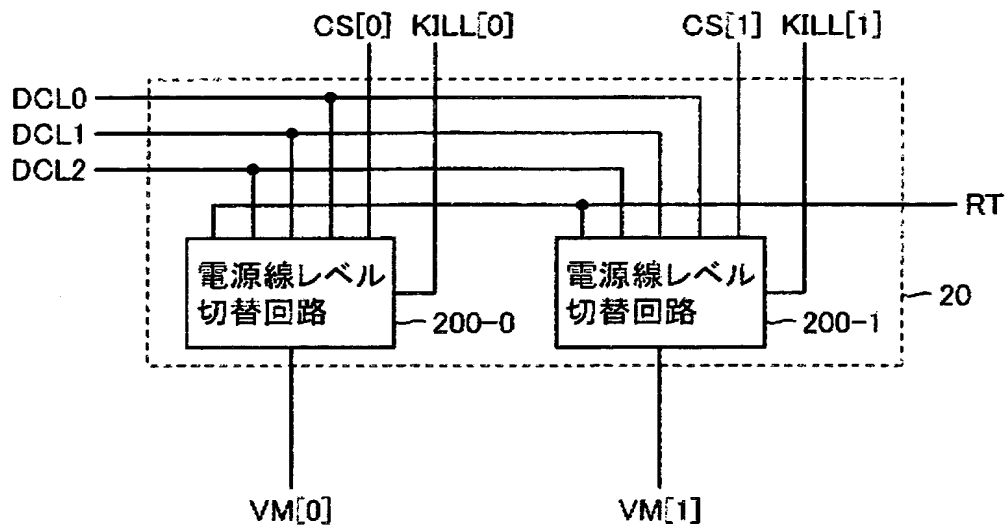
【図 26】



【図 27】

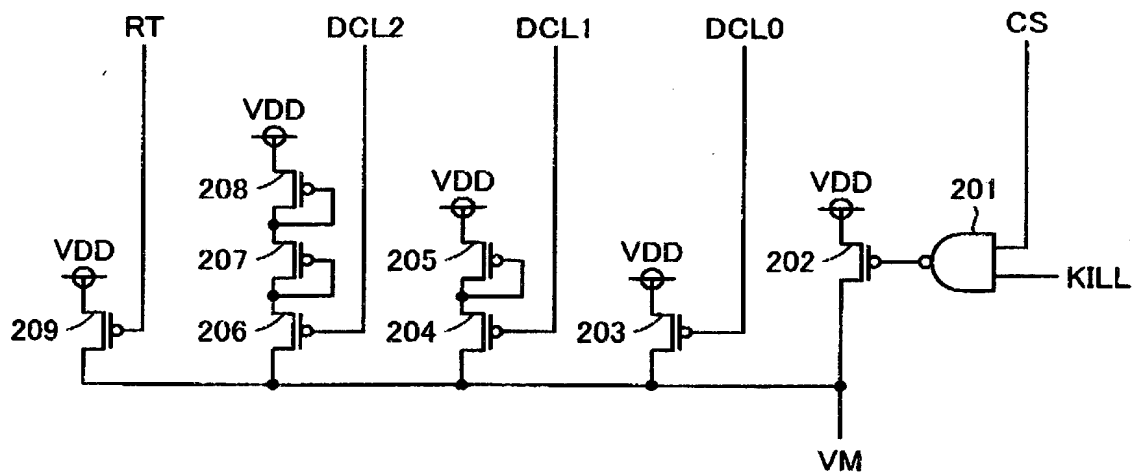


【図 28】



【図 29】

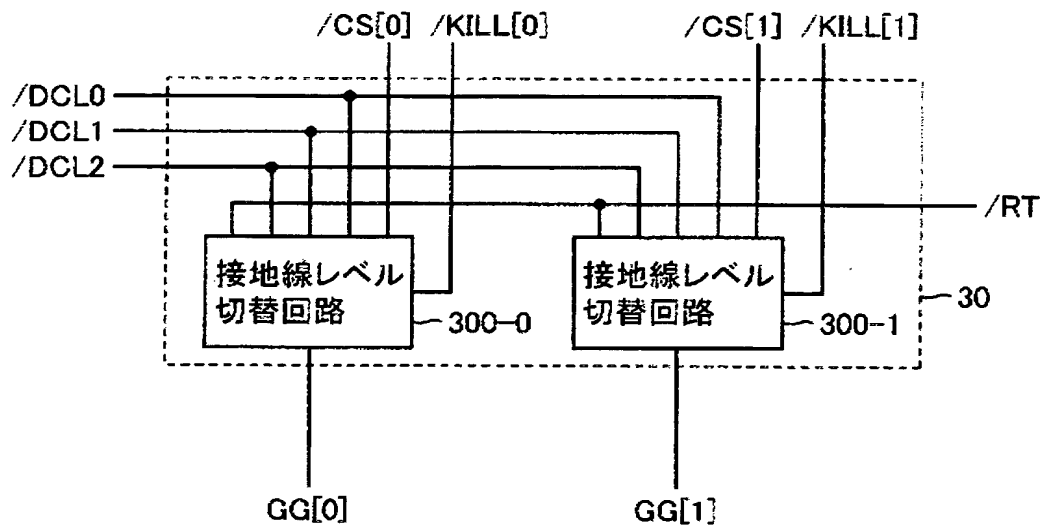
200



【図 30】

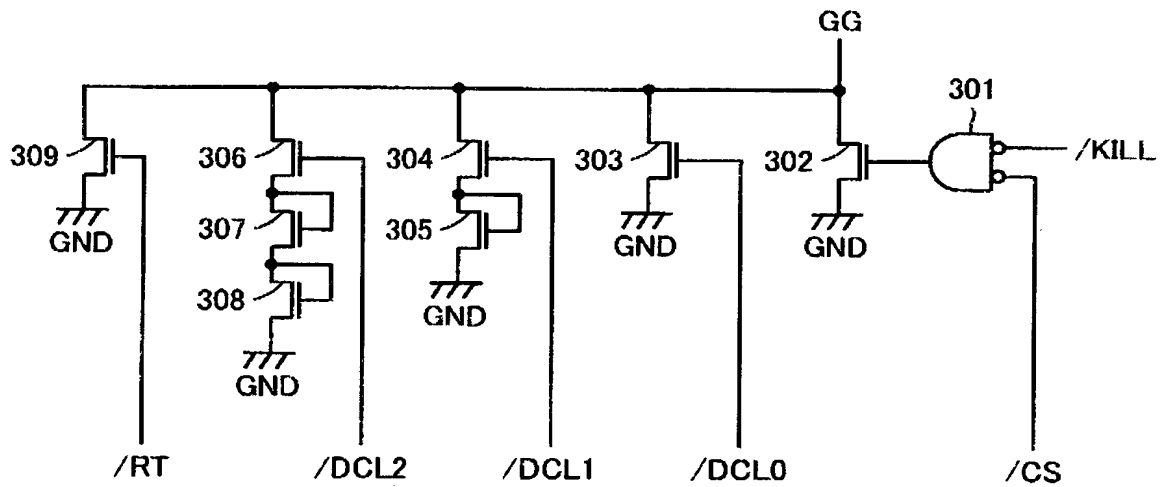
動作モード	RT	DCL2	DCL1	DCL0	CS	KILL	VM
アクセス時	X	X	X	X	H	H	VDD
非アクセス時	H	L	H	H	L	X	VDD-2V _{tp}
	H	H	L	H	L	X	VDD-V _{tp}
	H	H	H	L	L	X	VDD
冗長置換時	H	H	H	H	X	L	Hi-Z
保持テスト時	L	H	H	H	L	X	VDD

【図 3 1】



【図 3 2】

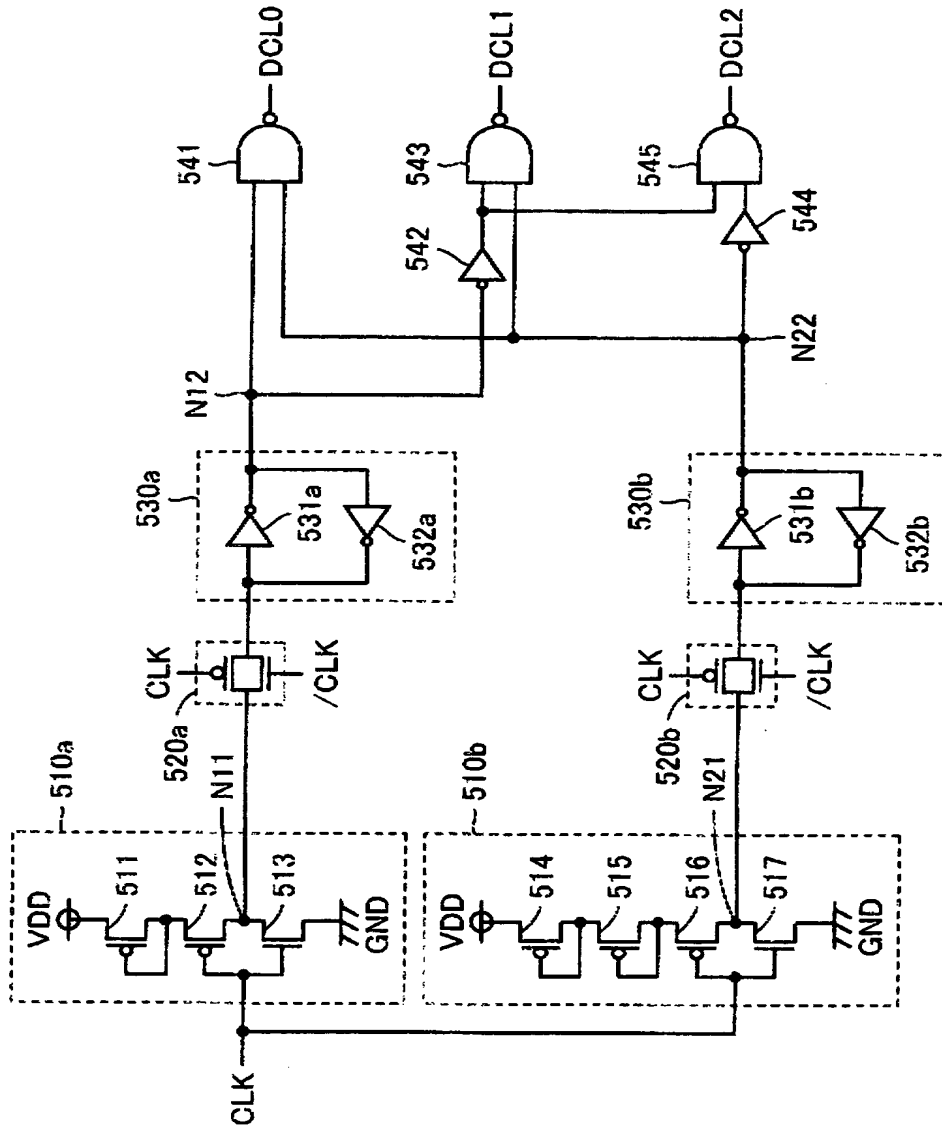
300



【図 33】

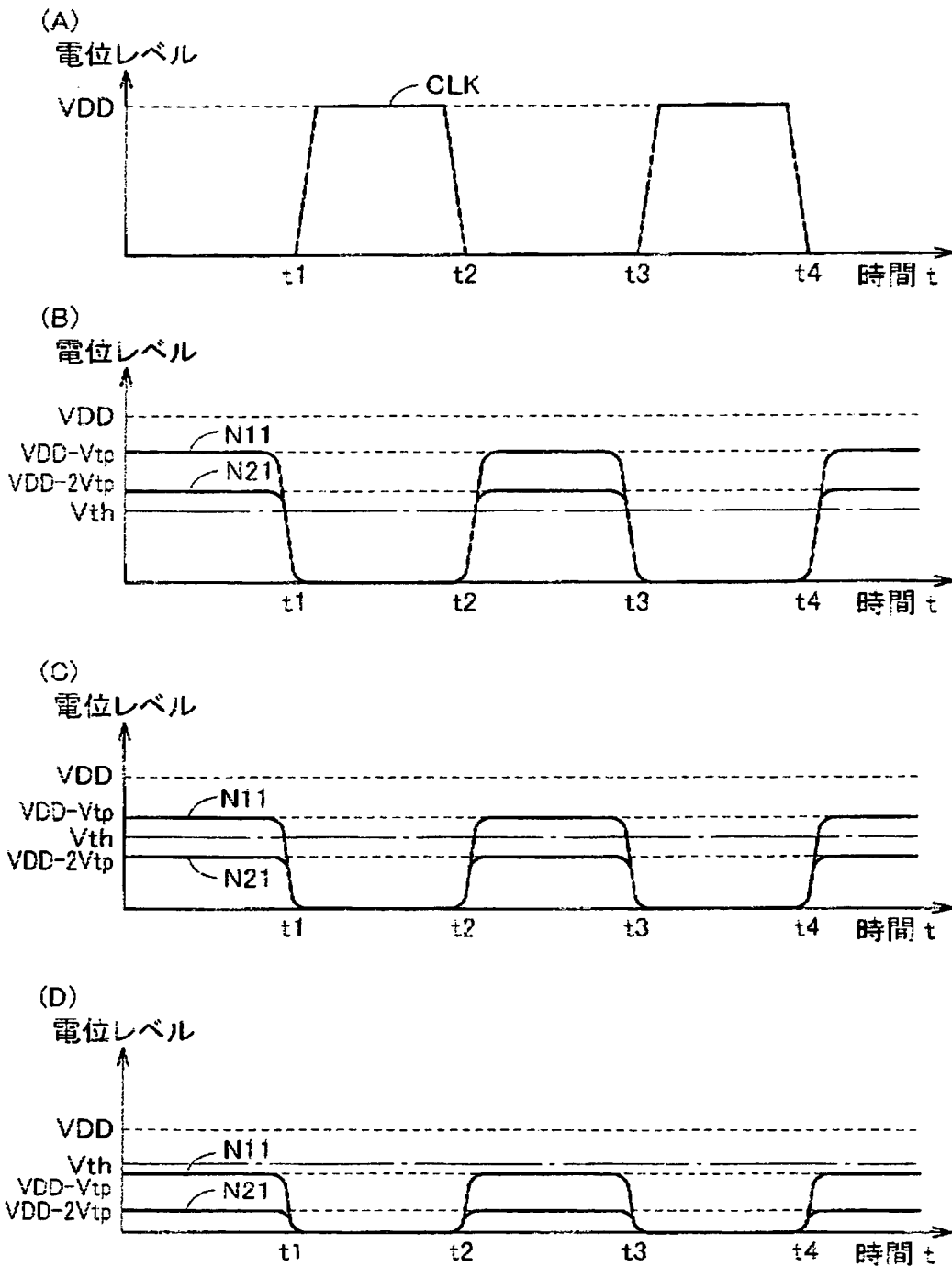
動作モード	/RT	/DCL2	/DCL1	/DCL0	/CS	/KILL	GG
アクセス時	X	X	X	X	L	L	GND
非アクセス時	L	H	L	L	H	X	GND+2V _{tn}
	L	L	H	L	H	X	GND+V _{tn}
	L	L	L	H	H	X	GND
冗長置換時	L	L	L	L	X	H	Hi-Z
保持テスト時	H	L	L	L	H	X	GND

【図 34】



500

【図 35】



【書類名】 要約書

【要約】

【課題】 ビット線などの充放電電流による消費電力を低減させるとともに、非選択列におけるメモリセルのゲートリーク電流による消費電力を低減させることも可能な半導体記憶装置を提供する。

【解決手段】 レベル制御信号／CS [0] , /CS [1] を共にHレベルに設定して電源線VM [0] , VM [1] の電位を共に電源電位VDDより低くすることにより、メモリセルアレイ110Aの待機時および書込み動作時におけるゲートリーク電流を大幅に低減することができる。また、レベル制御信号／CS [0] , /CS [1] をそれぞれLレベル, Hレベルに設定して電源線VM [1] の電位のみ電源電位VDDより低くすることにより、メモリセルアレイ110Aの読出し動作時における消費電力を低減することができる。

【選択図】 図2

特願 2 0 0 3 - 1 6 1 1 1 5

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ